

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 602F 1/136	(11) 공개번호 특2000-0028901
(21) 출원번호 (22) 출원일자	10-1999-0043235 1999년10월07일
(30) 우선권주장 (71) 출원인	98-285476 1998년 10월 07일 일본(JP) 소니 가부시끼 가이샤 이데미 노부유키
(72) 발명자	일본국 도쿄도 시나가와구 키탄시나가와 6초메 7번 35고 야마나카하데오
	일본국 도쿄도 시나가와구 키탄시나가와 6초메 7번 35고 소니 가부시끼 가이샤 야모토 히사요시
	일본국 도쿄도 시나가와구 키탄시나가와 6초메 7번 35고 소니 가부시끼 가이샤 사토유이치
	일본국 도쿄도 시나가와구 키탄시나가와 6초메 7번 35고 소니 가부시끼 가이샤 야기하치메
(74) 대리인	일본국 도쿄도 시나가와구 키탄시나가와 6초메 7번 35고 소니 가부시끼 가이샤 박종길, 김재만

설사집구 : 어록

(54) 전기 광학 장치, 전기 광학 장치용 구동 기판 및 이들의 조성방법

四

四五五

52

୪୮୪

헤테로에피택셜, 전기광학, 전기, 광학, LCD, 트랜지스터

۲۷۶

도면의 간접적 측정

- 드 1 (1) 내지 1 (3)은 폰 팔영의 제1 실시예에 의한 LCD(액정 표시 장치)의 제조 프로세스를 공정순으로 드시한 단면도.
- 드 2 (4) 내지 2 (7)은 상기 LCD의 제조 프로세스를 공정순으로 드시한 단면도.
- 드 3 (8) 내지 3 (10)은 상기 LCD의 제조 프로세스를 공정순으로 드시한 단면도.
- 드 4 (11) 내지 4 (13)은 상기 LCD의 제조 프로세스를 공정순으로 드시한 단면도.
- 드 5 (14) 내지 5 (16)은 상기 LCD의 제조 프로세스를 공정순으로 드시한 단면도.
- 드 6 (17) 내지 6 (19)는 상기 LCD의 제조 프로세스를 공정순으로 드시한 단면도.
- 드 7은 상기 LCD의 주요부 단면도.

도 3은 상기 LCD의 제조에 사용하는 총매 CVD 장치의 개략도.

도 9 (A) 및 9 (B)는 비정질 기판상의 실리콘 결정의 성장 상황을 불명하기 위한 개략적인 사사도.

도 10 (A) 내지 10 (F)는 그레포에피택시아(grafoepitaxial) 성장 기술에서의 각종 단자 형상과 실리콘 결정 끝위를 도시한 개략적 단면도.

도 11은 폰 칠영의 제1 실시예에 의한 LCD 전체의 개략적인 레이아웃을 도시한 사사도.

도 12는 상기 LCD의 증가 회로도.

도 13은 상기 LCD의 개략적인 구성도.

도 14 (17) 내지 14 (19)는 폰 칠영의 제2 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 15는 상기 LCD의 주요부 단면도.

도 16 (17) 내지 16 (20)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 17 (A) 내지 17 (C)는 폰 칠영의 제3 실시예에 의한 LCD의 주요부 단면도.

도 18 (1) 내지 18 (3)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 19 (4) 내지 19 (7)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 20 (8) 내지 20 (11)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 21 (12) 내지 21 (15)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 22 (3) 내지 22 (5)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 23 (7) 내지 23 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 24 (11) 내지 24 (14)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 25 (15) 내지 25 (17)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 26 (7) 및 26 (8)은 폰 칠영의 제4 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 27 (9) 내지 27 (11)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 28 (12) 및 28 (13)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 29 (6) 및 29 (7)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 30 (8) 내지 30 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 31 (11) 내지 31 (13)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 32 (A) 내지 32 (C)는 상기 LCD 제조 시의 주요부 단면도.

도 33 (A) 내지 33 (E)는 상기 LCD 제조 시의 주요부 단면도.

도 34 (A) 내지 34 (E)는 폰 칠영의 제5 실시예에 의한 LCD의 각종 TFT를 도시한 평면도 또는 단면도.

도 35 (A) 내지 35 (D)는 상기 LCD 제조 시의 각종 TFT를 도시한 단면도.

도 36 (A) 및 36 (B)는 상기 LCD의 주요부 단면도.

도 37은 폰 칠영의 제6 실시예에 의한 LCD의 주요부 단면도 또는 평면도.

도 38 (A) 및 38 (B)는 상기 LCD의 각종 TFT의 주요부 단면도.

도 39는 상기 LCD의 TFT의 증가 회로도.

도 40 (A) 및 40 (B)는 폰 칠영의 제7 실시예에 의한 LCD의 TFT의 주요부 단면도.

도 41 (1) 내지 41 (3)은 폰 칠영의 제8 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 42 (4) 내지 42 (6)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 43 (?) 내지 43 (9)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 44 (10) 내지 44 (12)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 45 (13) 내지 45 (15)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 46 (16) 내지 46 (18)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 47은 상기 LCD의 주요부 단면도.

도 48 (16) 내지 48 (18)은 폰 칠영의 제9 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.

도 49는 상기 LCD의 주요부 단면도.

도 50 (15) 내지 50 (18)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 51 (A) 내지 51 (C)는 본 발명의 제10 실시예에 의한 LCD의 주요부 단면도.
 도 52 (1) 내지 52 (3)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 53 (4) 내지 53 (6)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 54 (7) 내지 54 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 55 (11) 내지 55 (14)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 56 (3) 내지 56 (5)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 57 (6) 내지 57 (9)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 58 (10) 내지 58 (13)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 59 (14) 내지 59 (16)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 60 (6) 및 60 (7)은 본 발명의 제11 실시예에 의한 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 61 (8) 내지 61 (10)은 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 62 (11) 및 62 (12)는 상기 LCD의 제조 프로세스를 공정순으로 도시한 단면도.
 도 63은 본 발명의 제12 실시예에 의한 LCD의 주요부 단면도 또는 평면도.
 도 64 (A) 및 64 (B)는 상기 LCD의 각종 TFT의 주요부 단면도.
 도 65는 본 발명의 제13 실시예에 의한 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 66은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 67은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 68은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 69는 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 70은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 71은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 72는 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 73은 본 발명의 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 74 (A) 내지 74 (C)는 본 발명의 제14 실시예에 의한 LCD의 개략적인 레이아웃 도면.
 도 75는 상기 LCD의 각 부 TFT의 조합을 도시한 도면.
 도 76은 본 발명의 제15 실시예에 의한 디바이스의 개략적인 레이아웃 도면.
 도 77 (A) 및 77 (B)는 본 발명의 제16 실시예에 의한 MOSFET의 주요부 단면도.
 <도면의 주요부분에 대한 부호의 설명>
 1 : 유리(또는 석영) 기판, 4 : 단자, 7 : 단결정 실리콘층, 9 : Mo/Ta 층, 11, 71 : 게이트 전극, 12 : 게이트 산화막, 14, 17 : N형 블록을 미온, 15 : LCD부, 18, 19 : N형 소스 또는 드레인 영역, 21 : P형 블록을 미온, 22, 23 : P형 소스 또는 드레인 영역, 25, 36 : 절연막, 26, 27, 31, 41 : 전극, 29 : 평활화막, 28A : 조연(요철), 29 : 반사막(또는 전극), 30 : LCD(TFT) 기판, 33, 34 : 배출막, 35 : 액정, 37, 46 : 유리 필터층, 43 : 플렉 마스크 층, 50 : 결정성 사파이어막, 72 : SiN 층, 73 : SiO₂ 층, 100 : 수소화 규소 가스, 101 : 휘적실, 103 : 축매체, 104 : 외부 가열 수단

발명의 실체를 설명

발명의 속성

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기 광학 장치, 전기 광학 장치용 구동 기판 및 이들의 제조 방법에 관한 것으로, 특히 절연기판상에 헤테로에피택슬 성장(heteroepitaxial growing)시킨 단결정(單結晶) 실리콘층을 이용하여 사용하는 듀얼 게이트형(dual gate type)의 박막 절연 게이트형 전계 효과 트랜지스터(이후, 듀얼 게이트형 MOSTFT라고 함)와 수동 영역을 가지는 액정 표시 장치 등에 적합한 구조 및 방법에 관한 것이다.

액티브 매트릭스형의 액정 표시 장치로, 아몰퍼스 실리콘을 TFT로 사용한 표시부와 외부 구동 회로를 IC를 가지는 것이나, 고상(固相) 성장법에 의한 단결정(多結晶) 실리콘을 TFT로 사용한 표시부와 구동 회로를 일체형(일본국 특개평(特開平) 5-242433호 출보), 액시머 레이저 어닐링(excimer laser annealing)을 통한 단결정 실리콘을 TFT로 사용한 표시부와 구동 회로 일체형(일본국 특개평 7-131030호 출보) 등이 알려져 있다.

그러나, 상기한 종래의 아몰퍼스 실리콘 TFT는 생산성은 양호하지만, 전자 이동도는 0.5~1.0cm²/V·sec

전자를 낫으로므로 채널의 MOSTFT(G이후, pMOSTFT라고 할)를 만들 수 없다. 따라서, pMOSTFT를 사용한 주제 구동 회로부를 표시부와 동일한 유리 기판상에 공정할 수 있으므로, 드리브아웃 IC는 외부에 부착되고 TAB 형식 등에 의하여 실장(實長)되므로 코스트 단위가 더럽다. 또, 이를 위하여 고정세화(高精細化)에 한계가 있다. 또한, 전자 미용도는 $0.5 \sim 1.0 \text{cm}^2 / \text{v} \cdot \text{sec}$ 전자를 낫으로 출판한 온(ON) 전류를 확보하는 한계가 있다. 표시부를 사용한 경우 트랜지스터 사이즈가 필요성으로 커져 화소의 높은 개구률(開口率)을 이용하는데 불리하다.

또, 상기한 종류의 다결정 실리콘 TFT의 전자 이동도는 $70\sim100\text{cm}^2/\text{v}\cdot\text{sec}$ 로 고정 세로에도 대응할 수 있다. 다만 최근에는 구동 회로의 결합 실리콘의 전자 이동도를 사용한 LCD(액정 표시 장치)가 주목받고 있다. 구조로 그러나, 19인치 미상의 대형 LCD에서는 전자 이동도는 $70\sim100\text{cm}^2/\text{v}\cdot\text{sec}$ 이므로 구동 능력이 부족하고, 결합 일부에 부착되는 실리콘의 전자 이동도는 $70\sim100\text{cm}^2/\text{v}\cdot\text{sec}$ 이 필요하게 된다.

또, 고상 성장법에 의하여 형성된 다결정 실리콘을 사용하는 TFT에서는 600°C 이상에서 실수 시간의 어려움과 약 1000°C의 열 산화에 의한 게이트 SiO₂의 형성이 필요하므로 반도체 제조 장치를 채용하지 않을 수 없다. 이로 인하여, 웨이퍼 사이즈는 직경 8~12인치가 한계이고, 고내열성이이며 고가인 석영 유리의 부족이 부득이하게 되어 코스트 차이가 커진다. 따라서, EVFL나 데이터 / AV 프로젝터 용도에 한정되어 있다.

또한, 상기한 증거의 액시머 레이저 어닐링에 의한 디결정 실리콘 TFT에서는 액시머 레이저 출력의 안정성, 생산성, 대형화에 의한 장치 가격의 상승, 수율(yield) 저하 등의 문제가 산정된다.

특히 가로 세로 1m 의 대형 유리 기판에서는 상기한 문제가 커져 점차 성능 / 품질 향상과 코스트 단양이 어려워진다.

도영이 이루고자 하는 기술적 조건

ପ୍ରକାଶକ ପତ୍ର ପାତ୍ର

한국에서 제작된 영화로, 2018년에 개봉되었습니다. 주제는 전쟁과 평화입니다.

상기 한쪽의 단계에 단계적 실리콘화 격자 정합(lattice compatibility)이 양호한 틀질

이미지에 표시된 대로, 각각의 키워드는 그 자체로 그림을 완성하는 데 기여하는 역할을 합니다.

상기 제1 기관의 한족의 연상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부를 형성하는 **도장**

상기 제1 가족의 상기 학종의 경상례, 단경례, 성례를 고려해 학종이 유통하는 유통권을 확보하는 행정부

상기 단결정 실리콘층에 소정의 처리를 행하여 채널 영역, 소스 영역 및 드레인 영역를 형성하는 공정과, 상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지고, 상기 주판 구조를 형성하는 첨소한 예비

을 가지는 것을 틀집으로 하는 전기 광학 장치의 제조 방법 그 구조 기작의 제조 방법은 제작하는 것

(C) 특히, 주변 구동 회로에 듀얼 게이트형 MOSTFT를 사용하고 있으므로, 상급 게이트형의 TFT에 비하여 1.5~2배 높은 구동 능력을 가지는 cMOS, nMOS 또는 pMOS TFT를 구성할 수 있어, 보다 고성능이며 구동 능력이 큰 TFT가 제작되고, 특히 주변 구동 회로의 일부에 큰 구동 능력을 가지는 TFT가 필요한 경우에 적합하게 된다. 예를 들면, 주변의 한 쌍의 수직 구동 회로의 한쪽을 생략할 수 있을 뿐만 아니라, 같은 회로에 1~2개의 전기 평형 장치로서 유기 TFT나 FET 등에 적용하는 경우에 유리하다고 생각된다. 또 듀얼 게이트 구조는 상하 게이트부의 전선판에 의하여 상하 게이트형(top gate type)이나, 하단 게이트형(bottom gate type)으로 흥미롭게 변경할 수 있고, 또 상하 게이트부의 어느 하나가 등작이 가능하게 되어도 다른 한쪽 게이트부를 사용할 수 있는 특징이다.

(E) 고상 성장법의 경우와 같은 중온(中溫)에서 장시간(약 600°C, 실수 시간)의 어닐링이나 액시터 레이저 어닐링이 필요하게 되므로, 생산성이 높으며 고가인 제조 설비가 필요로 하여 코스트 차감이 가능하다.

(F) 이 협약에 피력한 성장에서는 결정성 사파이어와 같은 물질의 결정성, 촉매 CVD 등의 가스 분위기, 기판 가열 온도, 네각 속도 등의 조정에 의하여 활성화된 중합과 같은 단위화학과 고이미는 단결정 실리콘층이 품질하게 얻어지므로, 4th (온도) 조정이 유의하고 촉매 활성화에 의한 그 가능하다.

(H) 결정성 사파이어막 등의 상기를 접촉은 다음한 원자의 확산 래리어(diffusion barrier)가 되므로 유리 기판으로부터의 물질을 유리 확산을 억제할 수 있다.

그리고, 상기 제1 기판으로 절연 기판이 사용되고, 상기 률질층이 사파이어(Al_2O_3), 스피넬 구조체(spinel structure)(예를 들면 $MgO \cdot Al_2O_3$), 둘화 칼슘(CaF_2), 둘화 스트론튬(SrF_2), 둘화 바륨(BaF_2), 인화 풍소(BP), 산화 이트륨($(Y_2O_3)_{n-1}$) 및 산화 지르코늄($(ZrO_2)_{n-1}$) 등으로 이루어지는 굳에서 석류된 률질을 형성되어 있는 것이 바람직하다.

이악 갈은 를질총을 시드로 하여, 상기 단결정 실리콘총을 축매 C70법(기판 온도 약 200~300°C)으로 성장을 한다. 기판의 가열은 전기로(電氣爐)나 헬륨을 사용하여 기판 전체를 균일하게 가열하는 미워에, 광레이저, 전자 빛 등에 의하여 소정의 전소마를 고르게 전기로로 가열하는 방법도 가능하다.

상기 축매 CYO법에 의한 상기 단절점 실리콘층의 형성에서는, 수소화 규소를 주성분으로 하는 가스를 예를 들어 800~2000°C(예열, 미만)으로 가열된 축매체에 접촉시켜 분해시키고 상기 기판상에 상기 단절점 실리콘층을 형성시킬 수 있다.

이 경우, 상기 수소화 규소를 도노실란(monosilane), 디실란(disilane), 트리실란(trisilane) 및 텐트리실란(tetrasilane) 등의 실란계 가스를 사용하고, 상기 충매체로 헬스텐, 산화 토륨(thorium oxide)을 활용하는 헬스텐, 폴리보덴(molybdenum), 백금, 팔라듐(palladium), 실리콘, 알루미나(alumina), 풍속을 부착한 세라믹스 및 탈화규소를 이루어지는 그룹에서 선택된 최소한 1종의 재료를 사용할 수도 있다.

칼럼에서는 기관으로 절연 기판, 특히 액정이 낮은 유리 기판이나 내열성(耐熱性) 유기 기판을 사용하는 대형 무리 기판(예를 들면 1m² 이상) 등에 단열 절연층을 만드는 것과 기관을 사용하는 대형 무리 기판을 제작할 수 있다. 이 것과 함께 같은 기판은 저온이나 고온 환경에서 기판화가 용이하고 기판화를 통해 기판을 제작할 수 있다. 특히 대형 무리 기판은 기판을 제작하는 데 있어 고온이나 저온 환경에서 기판화가 용이한 특성을 활용해 기판을 제작할 수 있다.

미약 갈미, 액정이 낮은 유리의 상층으로는 미 유리 내부로부터 그 구성 원소가 확산되기 쉬으므로, 이것을 적재할 때 물적으로 확산 배리어를 나미트라이드(미후, SiN이라고 함) 등의 막(두께 50~200nm 정도)을 쟁정하는 것이 바람직하다.

상기의 층매 CVD 공정에서, 공급 가스 중에 PH_3 나 SiH_4 등의 드핑 가스를 혼합해 두면 단결정 실리콘층을 형성 또는 평화하고, nMOSTFT 또는 pMOSTFT를 만들 수 있다. 이로 인하여, cMOSTFT도 만들 수 있게 된다.

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형의 절연 조성 트랜지스터를 구성하고, 예를 들면 상보형과 n채널형의 조(組)를 이루어 절연층과 박막 및 상기 주변 구동 회로부 및 표시부의 박막 트랜지스터의 최소한 일부가 100 구조를 가지고 있는 것이 바람직하다. 그리고, n형 게이트와 드레인 사이에 게이트와 소스 사이 및 게이트와 소스 사이의 양쪽에 접경을 두면 100라고 한다.

특히, 상기 MOSTFT는 표시부에서, nMOS 또는 pMOS 또는 cMOS의 LDD형 TFT를 구성하고, 또 주변 구동 회로부에서는 cMOS 또는 nMOS 또는 pMOS TFT 또는 이들의 조합으로 구성하는 것임이 보통이다.

이 경우, 상기 기판으로서의 절연 기판상에, 상기 에피택셜 성장의 시드가 되는 상기한 반면 같은 소정 단자를 소정 위치에 형성하고, 이 단자를 포함하는 상기 절연 기판상에 상기 절충을 형성할 수 있다.

이러한 경우, 상기 툴질총에 대하여, 상기 단자도 시드로서 작동하므로 보다 결정성이 높은 단결정 실란트을 촉진할 수 있다.

상기 MOSTFET의 같은 제1 박막 트랜지스터를 상기 단차에 의한 기판 일부 내에 형성할 수도 있지만, 예상의 으로 부근 또는 이를 양쪽에서 기판상에 형성할 수도 있다. 상기 단자는 리액티브 이온 에칭 드레이에 형상에 의하여 형성할 수도 있다.

이 경우에도, 단면에서 저면에 대하여 축면이 직각 형상 또는 하단 축으로 바랄적하게는 90° 미하의 저각을 미루드를 경우 형상이 되는 오루를 하여 상기와 동일한 상기 단차를 형성하고, 이 단차를 상기 단결점에 걸친 큰 예피핵을 성장사의 시드로 한다.

상기 제2 박막 트랜지스터는 상기 제1 기판에 형성한 상기 단자에 인한 기판 단자에 대한 열전류를 양/또는 음으로 형성하고, 상기 제1 박막 트랜지스터의 열전류를 이용하여 그 소스, 드레인, 채널을 통제할 수 있다.

상기 제1 광 / 또는 제2 박막 트랜지스터의 속도 또는 드레인 전극을 살기 단자를 포함하는 영역상에 형성된다.

상상력과 창의력을 활용해 다양한 게임을 만들어보세요!

막 트랜지스터로 할 수도 있다.

이 경우, 채널 영역의 하부에 배설된 게이트 전극을 내열성 재료로 형성하거나, 상기 제2 박막 트랜지스터의 상부 게이트 전극과 상기 제1 박막 트랜지스터의 게이트 전극을 공통 재료로 형성할 수도 있다.

상기 주변 구동 회로부에서, 상기 제1 박막 트랜지스터 이외에, 단결정 또는 아몰레스 실리콘층을 채널 영역으로 하고, 이 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 툴 게이트형, 보텀 게이트형, 듀얼 게이트형의 박막 트랜지스터, 또는 상기 단결정 실리콘층 또는 단결정 실리콘층을 사용한 다이오드, 저항, 커스터리스, 인덕턴스 소자 등을 배설할 수도 있다.

상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터를 싱글 게이트 또는 멀티 게이트로 구성할 수도 있다.

상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터가 듀얼 게이트형일 때, 상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터가 듀얼 게이트 전극을 전기적으로 오른쪽으로 하거나, 또는 임의의 부(食)전압(△채널형의 경우) 또는 정(正)전압(△채널형의 경우)을 인가하고, 보텀 게이트형 또는 툴 게이트형의 박막 트랜지스터로서 동작하는 것이 바람직하다.

상기 주변 구동 회로부의 박막 트랜지스터를 △채널형, △채널형 또는 상보형으로 하거나, 상기 제1 박막 트랜지스터를 △채널형, △채널형 또는 상보형으로 하거나, 상기 표시부의 박막 트랜지스터를 단결정 실리콘층을 채널 영역으로 할 때는 △채널형, △채널형 또는 상보형으로 하고, 단결정 실리콘층을 채널 영역으로 할 때는 △채널형, △채널형 또는 상보형으로 하거나, 단결정 실리콘층을 채널 영역으로 할 때는 △채널형, △채널형 또는 상보형으로 할 수 있다.

따라서, 상기 단결정 실리콘층의 성장 후 이 단결정 실리콘층상에 게이트 절연막과 게이트 전극으로 이루어지는 상부 게이트부를 형성하고, 이 상부 게이트부를 마스크로 하여 상기 단결정 실리콘층에 III族 수반금속의 툴순을 원소를 도입하여 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역를 형성할 수 있다.

또, 상기 제2 박막 트랜지스터가 보텀 게이트형 또는 듀얼 게이트형일 때는, 상기 채널 영역의 하부에 내부 재료로 이루어지는 하부 게이트 전극을 배설하고, 이 게이트 전극상에 게이트 절연막을 형성하고, 이 절연막 위에 상부 게이트부를 형성한 후, 상기 단차의 형성 공정을 포함하여 상기 제1 박막 트랜지스터의 상부 게이트부를 형성한 후, 상기 제2 박막 트랜지스터를 형성할 수 있다. 이 경우, 상기 제2 박막 트랜지스터의 상부 게이트부와 상기 제1 박막 트랜지스터의 게이트 전극과 상기 제1 박막 트랜지스터의 게이트 전극을 공통의 채널로 형성할 수 있다.

또, 상기 하부 게이트부상에 상기 단결정 실리콘층을 형성한 후, 이 단결정 실리콘층에 III族 또는 V族의 툴순을 원소를 도입하고, 소스 및 드레인 영역을 형성한 후에 활성화 처리를 행할 수 있다.

또, 상기 단결정 실리콘층의 형성 후에 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 툴순을 원소의 미온 주입으로 형성하고, 이 미온 주입 후에 상기 활성화 처리를 행하고, 게이트 절연막의 형성 후에 상기 제1 박막 트랜지스터의 상부 게이트 전극과, 툴연막과 상기 제2 박막 트랜지스터의 상부 게이트 전극을 형성할 수 있다.

상기 제2 박막 트랜지스터가 툴 게이트형일 때, 상기 단결정 실리콘층의 형성 후에 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 툴순을 원소의 미온 주입으로 형성하고, 이 미온 주입 후에 활성화 처리를 행하고, 이 미온 주입 후에 형성한 처리를 행하고, 그 후에 상기 제1 및 제2 박막 트랜지스터의 게이트 절연막과 게이트 전극으로 이루어지는 각 게이트부를 형성할 수 있다.

또는, 상기 제2 박막 트랜지스터가 툴 게이트형일 때, 상기 단결정 실리콘층의 형성 후에 상기 제1 및 제2 박막 트랜지스터의 각 게이트 절연막과 내결성 채널로 이루어지는 각 게이트 전극을 형성하여 각 게이트부를 형성하고, 이들의 게이트부 및 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 툴순을 원소의 미온 주입으로 형성하고, 이 미온 주입 후에 활성화 처리를 행할 수 있다.

또, 상기 LCD 구조를 형성할 때 사용한 레지스트 마스크를 날기고 이것을 닫는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 미온 주입을 행할 수 있다.

또, 상기 기판을 광학적으로 블루명 또는 투명으로 하고, 반사형 또는 투과형의 표시부용 화소 전극을 배설할 수도 있다.

상기 표시부가 상기 화소 전극과 칼라 필터층의 적층 구조를 가지고 있으면 표시 어레이부상에 칼라 필터를 만드는 데를 이용해 표시 어레이부의 개구부를, 키드 등의 개선을 비롯하여, 칼라 필터 기판의 생략, 생산 과정 등에 의한 코스트 단축이 실현된다.

이 경우, 상기 화소 전극이 반사 전극일 때는 수지막에 척적의 반사 특성과 시야각 특성을 얻기 위한 옥체를 형성하고, 이 위에 화소 전극을 배설하고, 또 상기 화소 전극이 투명 전극일 때는 투명 평판화막에 의하여 표면을 평판화하고, 이 평판화면상에 화소 전극을 배설하는 것이 바람직하다.

상기 표시부는 상기 MOS TFT에 의한 구동으로 활광 또는 조광(調光)을 행하도록 구성하고, 예를 들면 표시 장치(LCD), 일렉트로루미네센스(electroluminescence) 표시 장치(EL) 또는 전계 활성화 표시 장치(FED), 활광 툴리더 표시 장치(LEPD), 활광 다이오드 표시 장치(LED) 등으로 구성할 수도 있다. 이 경우, 상기 표시부에 특수의 상기 화소 전극을 매트릭스형으로 배열하고, 이를 화소 전극 각각에 상기 소자 형 소자를 접속할 수도 있다.

다음에, 본 발명을 바람직한 실시예에 따라 더 상세하게 설명한다.

〈제1 실시예〉

도 1 내지 13은 본 발명의 제1 실시예를 도시한 것이다.

본 실시예는 내열성 기판에 형성한 전술한 단차(요부)를 포함하는 연상에, 전술한 레지스트(예를 들면 단결

전사파이어액)을 형성하고, 이 물질층을 시드로 하여 축매 CVD법에 의하여 단결정 실리콘층을 헤터로에 형성하고, 이것을 사용하여 듀얼 게이트형 MOSTFT를 주변 구동 회로부로 구성한 액티브 매트릭스 반사형 액정 표시 장치(LCD)에 관한 것이다. 먼저, 이 반사형 LCD의 전체 레이아웃을 도 11 내지 13을 참조하여 설명한다.

도 11에 도시한 바와 같이, 이 액티브 매트릭스 반사형 LCD는 주기판(主基板)(1)(이것은 액티브 매트릭스 기판을 구성함)과 대향 기판(32)을 스퍼미서(미도시)를 개재하여 접합한 플랫 패널 구조로 이루어지고, 주기판(1-32) 사이에 액정(여기에서는 미도시)이 실링(sealing)되어 있다. 주기판(1)의 표면에는 액트리스(액정으로 배열한 화소 전극(29 (또는 41))과, 이 화소 전극을 구동하는 스위칭 소자로 이루어지는 표시부 및 미 표시부에 접속되는 주변 구동 회로부가 배설되어 있다.

표시부의 스위칭 소자는 본 발명에 의한 nMOS 또는 pMOS 또는 cMOS의 LDD 구조의 투 게이트형 MOSTFT를 구성된다. 또, 주변 구동 회로부에 회로 요소로서 본 발명에 의한 듀얼 게이트형 MOSTFT의 cMOS 또는 nMOS 또는 pMOS 또는 미도의 조합이 형성되어 있다. 그리고, 한쪽의 주변 구동 회로부는 데이터 신호를 통하여 각 화소의 TFT를 수령, 라인마다 구동하는 수직 구동 회로이고, 또 다른 쪽의 주변 구동 회로는 각 화소의 TFT의 게이트를 주사(走査) 라인마다 구동하는 수직 구동 회로이며, 통상은 표시부의 표면에 각각 배설된다. 이를 구동 회로는 정(點) 순차 마날로그 방식, 선(線) 순차 디지털 방식 어느 것으로 구성할 수 있다.

도 12에 도시한 바와 같이, 직교하는 게이트 버스 라인과 데이터 버스 라인의 교차부에 상기 TFT가 배치되고, 이 TFT를 통하여 액정 용량(C₀)에 화상 정보를 기입하고, 다음 정보가 올 때까지 전하를 유지한다. 이 경우, TFT의 채널 저항만으로 유지시키기에는 충분하지 못하므로, 이를 보상하기 위하여 액정 용량과 병렬로 투석 용량(브조 용량)(C₀)을 추가하고, 리크 전류에 의한 액정 전압의 저하를 보상할 수 있다. 이러한 LCD용 TFT에서는 화소부(표시부)로 사용하는 TFT의 특성과 주변 구동 회로에 사용하는 TFT의 특성에서는 요구 성능이 상이하고, 특히 화소부의 TFT에서는 오픈 전류의 제어, 은 전류의 확보가 중요한 문제가 된다. 미로 인하여, 표시부에는 흐름하는 바와 같은 LDD 구조의 TFT를 배설함으로써 게이트 영역과 드레인 간에 전계가 걸리기 어렵도록 구조를 만들어 채널 영역에 걸리는 결점적인 전계를 저감시키고, 이를 전류를 저감시키고, 특성의 변화도 작게 할 수 있다. 그러나, 프로세스적으로는 특별하게 되고 소자 사이즈도 커지며 또한은 전류가 저하되는 품질 문제도 발생하므로 각각의 사용 목적에 맞춘 최적 계가 필요하다.

그리고, 사용 가능한 액정으로는, TN 액정(액티브 매트릭스 구동의 TN 모드에 사용되는 네마티크 액정(nematic crystal))을 비롯하여, STN(슈퍼 트위스터드 네마티크(super twisted nematic)), GH(게스트 호스트(guest host)), PC(페이즈 체인지(phase change)), FLC(강유전성 액정(ferroelectric liquid crystal)), AFLC(반강유전성 액정(antiferroelectric liquid crystal)), PDLC(풀리미 블산강 액정(polymer dispersed type liquid crystal)) 등의 각종 모드용의 액정을 채용할 수 있다.

도 13에 대하여 주변 구동 회로의 회로 방식과 그 구동 방법을 개략적으로 설명한다. 구동 회로는 게이트 층 구동 회로와 데이터 층 구동 회로로 나뉘지고, 게이트 층, 데이터 층 모두 시프트 레지스터를 구조화 필요가 있다. 시프트 레지스터는 일반적으로 cMOSFT와 nMOSFT 양쪽을 사용한 것(이른 바 CMOS 모드)이나 어느 한쪽의 MOSTFT만을 사용한 것을 있지만, 동작 속도, 신뢰성, 저소비전력 면에서 cMOSFT 보다 CMOS 회로가 일반적이다.

주사축 구동 회로는 시프트 레지스터와 버퍼로 구성되어 있고, 수령 주사 기간과 동기(同期)한 젤스를 시프트 레지스터로부터 각 라인에 보낸다. 한편, 데이터 층 구동 회로는 젤(순차) 방식과 선(순차) 방식의 2 가지의 구동 방식이 있고, 도시한 젤 순차 방식에서는 회로의 구성이 비교적 간단하여, 표시 신호를 만들고 그 소위치를 통하여 시프트 레지스터를 제어하면서 적절 각 화소에 기입한다. 각 화소에 1 수령 주사 시간에 순차 기입한다(도면에서 8, 6, 3는 각 색마다 화소를 개략적으로 도시함).

다음에, 도 1 내지 10을 참조하여 본 실시예에 의한 액티브 매트릭스 반사형 LCD를 그 제조 과정에 대한 설명한다. 단, 도 1 내지 6에서 각 도면의 좌측은 표시부의 제조 공정, 우측은 주변 구동 회로부의 제조 공정을 나타낸다.

먼저 도 1 (1)에 도시한 바와 같이, 풍규산 유리, 석영 유리, 투명성 결정화 유리 등의 절연 기판(1)의 1주연에 퀼리브던 / 탄탈(No / Ta) 합금의 스팍터 악(71)(두께 500~600nm)을 형성한다.

이어서, 도 1 (2)에 도시한 바와 같이, 포트레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 No / Ta 악(71)을 헤이퍼 에칭하여 축단부(71a)가 사다리를 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 1 (3)에 도시한 바와 같이, 포트레지스트(70) 제거 후에 퀼리브던-탄탈 합금 악(71)을 포함하는 기판(1)상에 퀼리즈마 CVD법 등에 의하여 SiN 악(두께 약 100nm)(72)과 SiO₂ 악(두께 약 200nm)(73)을 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 2 (4)에 도시한 바와 같이, 최소한 TFT 형성 영역에 포트레지스트(2)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 예를 들면 CF, 퀼리즈마의 F' 미온(3)을 조사하고, 리액티브 미온 에칭(RIE) 등의 볼을 포트리소그라피(photolithography) 및 에칭(포트에칭(photoetching))에 의하여 게이트 절연막에(또한 기판(1)에도) 단자(4)를 적당한 형상 및 치수로 복수 개 형성한다.

이어서, 도 2 (4)에 도시한 바와 같이, 최소한 TFT 형성 영역에 포트레지스트(2)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 예를 들면 CF, 퀼리즈마의 F' 미온(3)을 조사하고, 리액티브 미온 에칭(RIE) 등의 볼을 포트리소그라피(photolithography) 및 에칭(포트에칭(photoetching))에 의하여 게이트 절연막에(또한 기판(1)에도) 단자(4)를 적당한 형상 및 치수로 복수 개 형성한다.

이 중은, 절연 기판(1)으로 석영 유리, 투명성 결정화 유리, 세리믹 등(단, 흐름하는 투과형 LCD에서는 투명 세리믹 기판이나 저투명성 결정화 유리는 사용할 수 없음)인 고내열성(高耐熱性) 기판(직경 3~12 인치, 두께 700~800μm)이 사용 가능하다. 또, 단자(4)는 절정성 사파이어 악(50)과 함께 흐름하는 단결정 실리콘의 헤터로에피택슬 경장 시의 시드가 되는 것으로, 길이(d) 0.3~0.4μm, 폭(w) 2~10μm, 길이(d)에서 수직 방향) 10~20μm가 될 수 있으며, 저변과 측면이 이루는 각(지각)은 적각으로 한다. 그리고, 기판(1)의 표면에는 유리 기판으로부터의 Na 미온 등의 확산 방지를 위하여 SiN 악(예를 들면 퀼리즈마)을 형성하는 것이다.

제 50 ~ 200nm)과 필요에 따라 실리콘 산화막(미호, SiO_2 막이라고 할)(예를 들면 두께 약 100nm)을 미리 연속 형성할 수도 있다.

이어서, 도 2 (5)에 드시한 바와 같이, 프트레지스트(2)의 제거 후에, 절연 기판(1)의 주연에서 단자(4)를 포함하는 최소한 TFT 형성 경역에, 결정성 사파이어막(두께 20~200nm)(50)을 형성한다. 이 절연 기판(1)은 사파이어막(50)은 고밀도 툴라늄과 CVD법이나, 촉매 CVD법(일본 특허 개소(特開昭53-40314호 등) 등에 의하여 트리메틸알루미늄(trimethylaluminum) 가스를 산화성 가스(산소·수분)로 산화하고 결정화시켜 만든다. 절연 기판(1)으로 고내열성 유리 기판(직경 3~12인치, 두께 700~800μm)이 사용 가능하다.

이어서, 도 2 (6)에 드시한 방법 갈이, 일본국 특허개소 63-40314호 공보 등에도 개시되어 있는 촉매 CVO법(기관 윤드 200~800°C)에 의하여 단자(4)를 프로토하는 전체면에 단결정 실리콘막(?)을 수 μ ~0.005 μ (예를 들면 0.1 μ)의 두께로 혼타트리에피택셀 성장시킨다. 이 때, 기판의 게이트 전극(?)의 층단부(?)는 완만한 경사면이 되어 있으므로, 이 영상에는 단자(4)에 의한 에피택셀 성장을 저해하지 않아 단이 끊어질 염이 단결정 실리콘층(?)이 성장하게 된다. 기판(1)이 물구산화물층 위에는 기판 온도를 200~600°C로 하고, 적당 유리나 결정화 유리, 세라믹 기판의 경우에는 기판 온도를 600~800°C로 하는데 있다.

마 경우, 측매 CVD는 드 8에 드시한 장치를 사용하여 행할 수도 있다. 이 측매 CVD 장치에 의하면 수소화 규소(예를 들면 모노실란 또는 디실란) 가스(100)(및 필요에 따라 Ar 이나 He , Ar , H_2 등의 도핑 가스)는 공급 도관으로부터 티적실(101)로 드입된다. 티적실(101)의 내부에는 기판(11)을 지지하기 위한 석셀터(susceptor)(102)와, 이 석셀터에 대향 배치된 코일형의 측매체(103)가 각각 배치되어 있다. 그리고, 기판(11)은 외부 가열 수단(104)(예를 들면 전열(電熱) 수단)으로 가열되고, 또 측매체(103)는 예를 들면 저항선(抵抗線)으로서 흡열 미하(특히 $800\sim2000^{\circ}C$, 텁스텐의 경우에는 $1700^{\circ}C$)로 가열하여 활성화된다.

그리고, 기판(1)의 가열은 전기로 통을 사용하여 기판 전체를 균일하게 가열하는 방식, 미원에, 팬미터에, 풀리미터에, 풀리미터에 가열하는 방식, 전자빔 등에 의하여 소정의 전선만, 예를 들면 그림 7b에 양면으로 표기된 바와 같이 한다.

먼저, 상기의 에피택슬 성장에 의한 단결정 실리콘층(?)의 를 순을 능드는 출균일하므로, 전체면에 양형 투과되어 를 순을 예를 들면 통소 미온을 적당 드핑하여 비저향(분자抵抗)을 조정한다. 또, pMOSFET 형성 중 만, 선택적으로 N 형 캐리어 를 순을 도핑하여 N 형 웰(well)을 형성한다. 예를 들면, p 채널 TFT부를 트리지스트(미드시)로 마스크하고 양형 를 순을 미온(예를 들면 3°)을 10kV에서 $2.7 \times 10^{11} \text{ atoms/cm}^2$ 의 량(dose)으로 드핑하여 비저향을 조정한다. 또, 드 2 (?)에 드시한 바와 같이, pMOSFET 형성 중 를 순을 능드 제어를 위하여 nMOSFET 부를 프토리지스트(SD)로 마스크하고 N 형 를 순을 미온(예를 P⁺)을 10kV에서 $1 \times 10^{11} \text{ atoms/cm}^2$ 의 드 층량으로 드핑하여 N 형 웰(7A)을 형성한다.

이어서, 도 3 (8)에 도시한 바와 같이, 단결정 실리콘층(?)의 전체면상에 플라즈마 CVD, 고일드 플라즈마 CVD, 촉매 CVD법 등으로 SiO₂(두께 약 200nm)와 SiN(두께 약 100nm)을 이 순서로 연속 형성하여 게이트 절연막(8)을 형성하고, 또한 쿨리보데-타탈(Mo / Ta) 핵드의 스팍터링(9)(두께 500~800nm)을 형성한다.

이어서, 도 3 (9)에 도시한 바와 같이, 별통의 프로토리스그래피 기술에 의하여, 표시 영역의 TFT부의 단자 영역(오른쪽) 내부 주변 구릉 영역의 TFT부의 단자 영역(오른쪽) 위에 각각 프로트리저스트 패턴(10)을 형성하고, 연속된 예정에 의하여 (Mo/Ta) 할금의 게이트 전극(11)과 게이트 할금막(SiN/SiO₂)(12)을 형성하며, 단결정 실리콘층(7)을 노출시킨다. (Mo/Ta) 할금막(9)은 산계(酸系) 예정액, SiN은 HF, 가스의 틀란즈마 예정, SiO₂는 산계 예정액으로 처리한다.

이어서, 도 3 (10)에 드시한 바와 같이, 주변 구동 영역의 nMOS 및 pMOS TFT 전부와 표시 영역의 nMOS TFT의 게이트부를 포트레지스트(13)로 커버하고, 노출된 nMOS TFT의 소스 / 드레인 영역에 인 미온(14)을 예를 들면 20kV에서 5×10^{15} atoms / μm^2 의 도즈량으로 드핑(미온 주입)하여 N⁻형 층으로 이루어지는 LDD부(15)를 자기정합적(셀프얼라인먼트(self-alignment))으로 형성한다.

이어서, 도 4 (11)에 드시한 바와 같이, 주변 구동 영역의 pMOS TFT 전부와 주변 구동 영역의 nMOS TFT의 게이트부와 표시 영역의 nMOS TFT의 게이트 및 LDD부를 포트레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 미온(17)을 예를 들면 20kV에서 5×10^{15} atoms / μm^2 의 도즈량으로 드핑(미온 주입)하여 nMOS TFT의 N⁻형 층으로 이루어지는 소스부(18) 및 드레인부(19)와 LDD부(15)를 형성한다.

이어서, 도 4 (12)에 드시한 바와 같이, 주변 구동 영역의 nMOS 및 표시 영역의 pMOS TFT 전부와 pMOS TFT의 게이트부를 포트레지스트(20)로 커버하고, 노출된 영역에 풍소 미온(21)을 예를 들면 10kV에서 5×10^{15} atoms / μm^2 의 도즈량으로 드핑(미온 주입)하여 nMOS TFT의 P⁺층의 소스부(22) 및 드레인부(23)를 형성한다. 그리고, 이 작업은 nMOS 주변 구동 회로의 경우에는 pMOS TFT가 없으므로 볼필요한 작업이다.

이어서, 도 4 (13)에 드시한 바와 같이, TFT, C-MOSD 등의 능동 소자부나 저항, 인더티스 등의 수동 소자부를 마이란드화하기 위하여, 포트레지스트(24)를 하고, 주변 구동 영역 및 표시 영역의 모든 능동 소자부 및 수동 소자부 이외의 단결정 실리콘 박막층을 별용 포트리소그래피 및 예정 기술로 제거한다. 예정액은 물산계이다.

이어서, 도 5 (14)에 드시한 바와 같이, 플라즈마 CVD, 고밀도 플라즈마 CVD, 층매 CVD법 등에 의하여 SiO₂ 막(두께 약 200nm) 및 인 실리케이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

그리고, 이 상태에서 단결정 실리콘층을 활성화 처리한다. 이 활성화에서 칼로겐 등의 헬프 더닐링 조건은 약 1000°C, 약 10초 정도이고, 이에 견디는 게이트 전극 재료가 필요하여, 고용접의 Mo/Ta 합금은 할수있다. 따라서, 이 게이트 전극 재료는 게이트부뿐 아니라 배선으로서 넓은 범위에 걸쳐 면장하여 배치할 수 있다. 그리고, 여기에서는 고가인 액시미 레이저 어닐링은 사용하지 않지만, 단일 사용한다면 조건은 $\lambda=0.1$ (파장 308nm)로 전체면, 또는 능동 소자부 및 수동 소자부만의 선택적인 90% 이상의 유크럽 조건이 바랄작하다.

이어서, 도 5 (15)에 드시한 바와 같이, 별용 포트리소그래피 및 예정 기술에 의하여 주변 구동 회로의 전체 TFT의 소스 / 드레인부 및 표시용 TFT의 소스부의 콘택트층 창을 형성한다.

그리고, 전체면에 두께 500~600nm의 알루미늄 또는 알루미늄 합금, 예를 들면 1% Si가 혼입된 알루미늄은 1~2% 흠이 혼입된 알루미늄, 등 등의 스퍼터 막을 형성하고, 별용 포트리소그래피 및 예정 기술에 의하여 주변 구동 회로 및 표시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다. 그 후, 포밍 가스(N₂+He) 중에서 약 400°C / 1h로 신터(sinter) 처리한다.

이어서, 도 5 (16)에 드시한 바와 같이, 플라즈마 CVD, 고밀도 플라즈마 CVD, 층매 CVD법 등에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 젤리막(36)을 전체면에 형성한다. 이어서, 표시용 TFT의 드레인부의 콘택트층 창을 형성한다. 그리고, 화소부의 SiO₂, PSG 및 SiN 막을 제거 할 필요는 없다.

반사형 액정 표시 장치의 기본적 요건으로는, 액정 패널 내부에 일사광을 반사시키는 거울과 산란시키는 거울을 결합해야 한다. 이것을 디스플레이에 대한 관찰자의 방향은 대략 결정되어 있지만, 일사광의 방향이 실질적으로 결정되지 않기 때문이다. 이를 위하여, 일의의 방향으로 향하는 존재하는 것을 가능하게 반사판을 볼계할 필요가 있다. 따라서, 도 6 (17)에 드시한 바와 같이, 전체면에 스판 코팅 등으로 두께 2~3μm의 강광성 수지막(28)을 형성하고, 도 6 (18)에 드시한 바와 같이 별용 포트리소그래피 및 예정 기술에 의하여 최소한 화소부에 최적의 반사 특성과 시야각 특성을 얻기 위한 오겔 형상 패턴을 형성하고, 리플렉트(Reflect)시켜 오겔 조명(면간접광)(29)으로 이루어지는 반사면 하부를 형성한다. 동시에, 표시용 TFT의 드레인부의 콘택트층 수자 창을 형성한다.

이어서, 도 6 (19)에 드시한 바와 같이, 전체면에 두께 400~500nm의 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 스퍼터 막을 형성하고, 별용 포트리소그래피 및 예정 기술에 의하여 화소부 이외의 알루미늄 막 등을 제거하고, 표시용 TFT의 드레인부(19)와 접속한 오겔 형상의 알루미늄 등의 반사부(29)를 형성한다. 이것은 표시용 화소 전극으로 사용된다. 그 후, 포밍 가스 중에서 약 300°C / 1h로 신터 처리하고 페인트를 충분히 한다. 그리고, 반사율을 높이기 위하여, 알루미늄계 대신 은 또는 은 합금을 사용할 수 있다.

이상과 같이 하여, 층매 CVD법에 의하여 단자(4)를 포함하는 결정성 사파이어막(50)을 저온 헤터로에피택팅장의 시드로 하여 단결정 실리콘층(7)을 형성하고, 이 단결정 실리콘층(7)을 사용한 표시부 및 주변 구동 회로부에 각각, 틀 게이트층의 nMOSLOD-TFT, 듀얼 게이트층의 pMOSFT 및 nMOSFT로 구성하는 CMOS 회로를 만들어 공은 표시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

다음에, 이 액티브 매트릭스 기판(구동 기판)(30)을 사용하여, 반사형 액정 표시 장치(LCD)를 제조하는 방법을 도 7을 참조하여 설명한다. 미처에 미 액티브 매트릭스 기판을 TFT 기판이라고 한다.

이 LCD의 액정 층을 연연(画面) 조립으로 제작하는 경우(2인치 사이즈 미상의 중 / 대형 액정 패널에 적합), 먼저 TFT 기판(30)과, 전체면에 ITO(indium tin oxide) 전극(31)을 배설한 대형 기판(32)의 소자 충전면에, 틀리미미드 배향막(33, 34)을 형성한다. 미 틀리미미드 배향막은 틀 코팅, 스판 코팅 등에 의하여 두께 50~100nm로 형성하고, 180°C / 2h로 경화 쿠어(cure)한다.

이어서, TFT 기판(30)과 대형 기판(32)을 러닝(rubbing) 또는 광 배향 처리한다. 러닝 버프(buf) 재료

이어서, 대량 기판(32) 측에 소정의 껌을 열기 위한 스페이서를 삽포하고, TFT 기판(30)과 소정의 위치에서 중합한다. 대량 기판(32) 측의 얼리먼트 마크와 TFT 기판(30) 측의 얼리먼트 마크를 정밀드가 양호하게 맞춘 후, 자외선 조사하여 설립제를 일시적으로 경화시키고 그후에 일괄하여 가열 경화한다.

이어서, 스크리니브 트레이킹(scribe breaking)하여 TFT 기판(30)과 대향 기판(32)을 종합한 단계(單(單))의 액정 패널을 만든다.

이어서, 액정(35)을 양 기판(30-32) 간의 갭 내에 주입하고, 주입구를 자외선 절착제로 실링한 후에 IPA 세정한다. 액정의 종류는 무언이나 사용 가능하지만, 예를 들면 네마틱 액정을 사용하는 고속 응답의 TN(트위스티드 네마틱) 모드가 일반적이다.

이어서, 가을 / 냉각 처리하여 액정(35)을 배화시키다.

이어서, TFT 기판(30)의 패널 전극 인출부에 플렉서를 배선을 이방성(異方性) 도전막의 열 압착으로 접속하고, 또한 대향 기판(32)에 멀티풀을 전등한다.

또, 액정 패널의 단위(面額) 조립(assembling in screen unit)의 경우 2인치 사이즈 미하의 소형 액정 패널에 적합할). 상기와 동일하게 TFT 기판(30)과 대향 기판(32)의 소자 형성면에 퀄리티 이미드 배향(33, 34)을 형성하고 양 기판을 러빙 또는 비접촉의 선행 퀄리티 처리로 배향 처리한다.

이어서, TFT 기판(30)과 대형 기판(32)을 다이싱(dicing) 또는 스크라이브 브레이킹으로 단개로 분할하고 를 또는 IPA 세정한다. TFT 기판(30)에는 쿨온제를 드포하고 대형 기판(32)에는 스페이서를 활용한 실링 제를 드포하여 양 기판을 결된다. 이 이후의 프로세스는 상기에 주한다.

상기한 단사형 LCD에서, 대향 기판(32)은 CF(칼라 필터) 기판으로서, 칼라 필터 층(46)을 ITO 전극(31) 하에 형성한 것이다. 대향 기판(32) 층으로부터의 일사광은 반사막(29)에서 호흡적으로 반사되어 대향 기판(32) 층으로부터 출사된다.

한편, TFT 기판(30)으로, 드라이브 캐릭터와 같은 상기한 기판 구조 이외에, TFT 기판(30)에 칼라 필터를 통합한 **917** **918** 칼라 필터(COCF, on-chip color filter) 구조의 TFT 기판으로 할 때는 대형 기판(32)에 ITO 전극이 **919** **920** 체적으로 부착된다(또는 툴렉 마스크를 가지는 ITO 전극이 부착된다).

그리고, 도 12에 도시한 표준 울릉(C₁)을 화소부에 조립하는 경우에는, 상가한 기판(I)상에 형성한 울진체 층(미드서)을 단계별로 세로면으로 드리워 형성(19)한 후, 접속하는 면을 한다.

한국의 철학자들은 그들의 철학을 통해 세계관을 확장하고, 개인의 삶을 더 나은 방향으로 이끌고자 노력하고 있다.

(d) 그리고, 상기한 실리콘 에피트랙 성장 시의 가열 온도는 300°C 미하가 가능하므로, 절연 기판상에 비교적 저온(예를 들면 200~600°C 미하)으로 단계별로 실리콘 막(?)을重하게 형성할 수 있다. 그리고, 기판으로서는 석영이나 결정화 유리, 세라믹 기판 등을 고려해, 풍구산 유리(내열성 유기 기판) 등과 같이 액정이 낮고 저코스트이며 물성도 양호한 기판 재질을 선택할 수 있고, 또 기판의

대형화도 가능하게 된다.

(e) 고상 성장법의 경우와 같은 종류에서 장시간의 어닐링이나 액시더 레이저 어닐링이 불필요하게 되므로, 생산성이 높으며 고가인 제조 비용이 불필요하여 비용을 다운이 가능하게 된다.

(f) 이 헤터트리에피택슬 성장에서는 결정성 사파미어막 등의 결정성, 총매 CVD의 가스 조성비 등의 조건, 단차의 형상, 기판 가열 온도, 험가하는 시점과는 결정 캐리어 흐름을 통한 등의 조정에 의하여 활성화의 형상 또는 결정의 드전형과 고이동도의 단결정 실리콘층을 증가하게 할 수 있으므로, V_{th} (온전압) 조정이 용이하여 저 저항화에 의한 고속 동작이 가능하다.

(g) 표시 어레이부상에 칼라 필터를 만들어 낸은 표시 패널의 개구율, 휘도 등의 개선을 비롯하여, 칼라 필터 기판의 생략, 생산성 개선 등에 의한 비용을 다운이 실현된다.

(h) 결정성 사파미어막 등의 상기 품질은 다양한 원자의 확산 배리어가 단으로 유리 기판으로부터의 물순출의 확산을 억제할 수 있다.

〈제2 실시예〉

도 14 내지 16를 참조하여 본 발명의 제2 실시예를 설명한다.

본 실시예는 전술한 제1 실시예와 비교하여, 동일한 틈 게이트형 MOSTFT를 표시부에, 듀얼 게이트형 MOSTFT를 주변 구동 회로부에 가지지만, 전술한 제1 실시예와는 상이하게, 투과형 LCD에 관한 것이다. 즉, 도 1 (1)부터 도 5 (16)에 도시한 공정과는 동일하지만, 그 공정 후에 도 14 (17)에 도시한 바와 같이, 절연막(25, 36)에 표시용 TFT의 드레인부 쿤택트용 챔(19)을 형성하는 동시에, 투과를 향상할 위하여 화소 개구부의 블록을 위한 SiO_2 , PSG 및 SiN 막을 제거한다.

이어서, 도 14 (18)에 도시한 바와 같이, 전체면에 스핀 코팅 등으로 두께 2~3μm의 갈광성 마크릴계 투과 수지의 평탄화막(288)을 형성하고, 별도 프로토리소그래피에 의하여 표시용 TFT의 드레인측의 투과수지(288)의 향을 형성하고 소정 조건에서 정화시킨다.

이어서, 도 14 (19)에 도시한 바와 같이, 전체면에 두께 130~150nm의 ITO 스퍼터 막을 형성하고, 별도 프로토리소그래피 및 예정 기술에 의하여 표시용 TFT의 드레인부(19)와 쿤택트한 ITO 투명 전극(41)을 형성한다. 그리고, 열 처리(포밍 가스 풍에서 200~250°C / 1h)에 의하여 표시용 TFT의 드레인과 ITO의 쿤택트 저항의 저감화와 ITO 투명도의 향상을 도모한다.

그리고, 도 15에 도시한 바와 같이, 대량 기판(32)과 조합하여 전술한 제1 실시예와 동일하게 하여 투과형 LCD를 조립한다. 단, TFT 기판 측에도 평판판을 접합한다. 이 투과형 LCD에서는 실선(實線)으로 나온 바와 같이 투과광이 얼어지지만, 일정색선으로 나온 바와 같이 대량 기판(32) 측으로부터의 투과광이 또한 얼어질 수도 있다.

이 투과형 LCD의 경우, 다음과 같이 하여 은 칼라 필터(OCOF) 구조와 은 칼라 블랙(OCB, on-chip black) 구조를 제작할 수 있다.

즉, 도 1 (1) 내지 5 (16)까지의 공정은 상기의 공정에 준하여 행하지만, 그후 도 16 (17)에 도시한 바와 같이 PSG / SiO_2 의 절연막(25)의 드레인부도 향을 형성하여 드레인 전극용 알루미늄 매탈층(41A)을 형성한 후, SiN / PSG의 절연막(36)을 형성한다.

이어서, 도 16 (18)에 도시한 바와 같이, R, G, B의 각 색을 각 세그먼트마다 안료 분산형 프트레지스트(61)를 소정의 두께(1~1.5μm)로 형성한 후, 도 16 (19)에 도시한 바와 같이 별도 프로토리소그래피 기술로 소정 위치(각 화소부)만을 남기는 패터닝으로 각 칼라 필터층(61(R), 61(G), 61(B))을 충성한다(은 칼라 필터 구조). 이때, 드레인부의 향도 형성한다. 그리고, 투명한 세라믹 기판이나 투과과를 유리 또는 대형성 수지 기판은 사용할 수 있다.

이어서, 도 16 (19)에 도시한 바와 같이, 표시용 TFT의 드레인에 연통하는 쿤택트 향에, 칼라 필터층상에 걸쳐 블랙 마스크 층이 되는 차광층(遮光層)(43)을 금속 패터닝으로 형성한다. 예를 들면, 스퍼터링 공정에 의하여 블리트면을 두께가 200~250nm으로 형성하고 표시용 TFT를 걸쳐 차광하는 소정의 형상으로 패터닝한다(은 칼라 블랙 구조).

이어서, 도 16 (20)에 도시한 바와 같이, 투명 수지의 평탄화막(288)을 형성하고, 또한 이 평탄화막에 형성된 스루홀(through hole)에 ITO 투명 전극(41)을 차광층(43)에 접속하도록 형성한다.

이와 같이, 표시 어레이부상에 칼라 필터(61)나 블랙 마스크(43)를 만들어 낸을으로써 액정 표시 패널의 개구율을 개선하고, 또 백 라이트드 포함한 디스플레이 모듈의 저소비전력화가 실현된다.

〈제3 실시예〉

도 17 내지 25는 본 발명의 제3 실시예를 도시한 것이다.

본 실시예에서는, 주변 구동 회로부를 전술한 제1 실시예와 동일한 듀얼 게이트형의 nMOSFT와 pMOSFT로 이루어지는 CMOS 구동 회로로 구성한다. 표시부는 반사형이며, 각종 게이트 구조의 TFT를 여러 가지로 조합하여 형성하고 있다.

즉, 도 17 (A)는 전술한 제1 실시예와 동일한 틈 게이트형의 nMOSLDD - TFT를 표시부에 배설하고 있지만, 도 17 (B)에 도시한 표시부에는 보통 게이트형의 nMOSLDD - TFT, 도 17 (C)에 도시한 표시부에는 듀얼 게이트형의 nMOSLDD - TFT를 각각 배설하고 있다. 이를 보통 게이트형, 듀얼 게이트형 MOSTFT의 어느 것인가를 배설하는 바와 같이 주변 구동 회로부의 듀얼 게이트형 MOSTFT와 공통으로 제작 가능하지만, 특히 듀얼 게이트형의 경우에는 상하의 게이트부에 의하여 구동 능력이 향상되어 고속 스위칭에 적합하고, 또 상하의 게이트부의 어느 하나를 선택적으로 사용하여 경우에 따라 틈 게이트형 또는 드릴 게이트형으로 통작시킬 수도 있다.

그리고, 도 17 (8)의 브릴 게이트형 MOSTFT에서, 도면 중의 71은 Mo/Ta 등의 게이트 전극이고, 72는 SiN 막이며, 73은 SiO₂ 막으로 이들 막으로 게이트 절연막을 형성하고, 이 게이트 절연막상에는 주변 구동 회로부의 듀얼 게이트형 MOSTFT의 동일한 단결정 실리콘층을 사용한 채널 영역 등이 형성되어 있다. 또, 도 17 (C)의 듀얼 게이트형 MOSTFT에서, 하부 게이트부는 브릴 게이트형 MOSTFT와 동일하지만, 상부 게이트부는 게이트 절연막(82)을 SiO₂ 막과 SiN 막으로 형성하고, 이 위에 상부 게이트 전극(83)을 배설하고 있다. 단, 어느 것에서나 헤터로에파택설 성장의 시드가 되는 동시에 단결정 실리콘막의 성장을 촉진하고, 그 결정성을 높이는 작용을 가지는 단자(4)의 인측에 각 게이트부를 구성하고 있다.

다음에, 상가의 게이트형 MOSTFT의 제조 방법을 도 18 내지 22를 참조하여, 상가의 게이트형 MOSTFT의 제조 방법을 도 23 내지 25를 참조하여 각각 설명한다. 그리고, 주변 구동 회로부의 듀얼 게이트형 MOSTFT의 제조 방법은 도 1 내지 6에서 설명한 것과 동일하므로 여기에서는 도시를 생략한다.

포시부에서 브릴 게이트형 MOSTFT를 제조하기 위해서는, 먼저 도 18 (1)에 드시한 바와 같이, 도 1 (1)과 동일한 공정에서, 기판(1)상에 롤리브던 / 탄탈(Mo/Ta) 핫듬의 스퍼터 막(71)(두께 500~600nm)을 형성한다.

이어서, 도 18 (2)에 드시한 바와 같이, 도 1 (2)와 동일한 공정에서, 프토레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 Mo/Ta 막(71)을 테이퍼 예정하고, 측단부(71a)가 사다리꼴 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 18 (3)에 드시한 바와 같이, 도 1 (3)과 동일한 공정에서, 포트레지스트(70)의 제거 후에 롤리브던-탄탈 핫듬막(71)을 포함하는 기판(1)상에 플라즈마 CVD법 등에 의하여 SiN 막(두께 약 100nm)(72)과 SiO₂ 막(두께 약 200nm)(73)을 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 19 (4)에 드시한 바와 같이, 도 2 (4)와 동일한 공정에서, 최소한 TFT 형성 영역에, 포트레지스트(2)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 전술한 것과 동일하게 기판(1) 상의 게이트 절연막에(또한 기판(1)에도) 단자(4)를 적당한 형상 및 치수를 갖추게 형성한다. 이 단자(4)는 후술하는 단결정 실리콘의 헤터로에파택설 성장 사이의 시드인 동시에 단결정 실리콘막의 성장을 촉진하고, 그 결정성을 높이는 작용을 가지는 것으로서, 길이(d) = 0.3~0.4μm, 폭(w) = 2~10μm, 길이(증미연에서 주직 증미연) = 10~20μm가 될 수도 있으며, 저변과 측면이 이루는 각(저각)은 각각으로 한다.

이어서, 도 19 (5)에 드시한 바와 같이, 포트레지스트(2)의 제거 후에, 도 2 (5)와 동일한 공정에서, 전술한 바와 동일하게 헤터로 기판(1)의 주변에서 단자(4)를 포함하는 최소한 TFT 형성 영역에 결정성 사파이어 박막(두께 20~200nm)(50)을 형성한다.

이어서, 도 19 (6)에 드시한 바와 같이, 도 2 (6)과 동일한 공정에서, 전술한 바와 동일하게 촉매 CVD법에 의하여 단결정 실리콘을 헤터로에파택설 성장시키고, 두께를 예를 들면 0.1μm 정도의 단결정 실리콘층(7)으로서 씌울시킨다. 이때, 기판의 게이트 전극(71)의 측단부(71a)는 완만한 경사면이 되어 있으므로, 이 경상에는 단자(4)에 의한 애파택설 성장을 저해하지 않고, 단이 끊어질 없이 단결정 실리콘층(7)이 성장하게 된다.

이어서, 도 19 (7)에 드시한 바와 같이, 도 2 (7) 내지 3 (3)의 공정을 거친 후, 도 3 (10)과 동일한 공정에서, 포시부의 nMOSTFT의 게이트부를 포트레지스트(13)로 커버하고, 노출된 nMOSTFT의 소스 / 드레인 영역에 인 마운(14)을 드핑(마운 주입)하여, N⁻형 층으로 이루어지는 LDD부(15)를 자가정합적으로 형성한다. 이 때, 브릴 게이트 전극(71)이 존재함으로써 포트레지스트(70)를 인식하기 쉽고 포트레지스트(13)의 위치 맞출(마스크 맞출)을 행하기 쉬우며 열라인먼트 더글러미가 잘 생기지 않는다.

이어서, 도 20 (8)에 드시한 바와 같이, 도 4 (11)과 동일한 공정에서, nMOSTFT의 게이트부 및 LDD부를 포트레지스트(16)로 커버하고, 노출된 영역에 인 또는 브로스 마운(17)을 드핑(마운 주입)하여 nMOSTFT의 N⁻형 층으로 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 20 (9)에 드시한 바와 같이, 도 4 (12)와 동일한 공정에서, nMOSTFT 전부를 포트레지스트(20)로 커버하고, 브로스 마운(21)을 드핑(마운 주입)하여 주변 구동 회로부의 pMOSTFT의 P⁺층의 소스부 및 드레인부를 형성한다.

이어서, 도 20 (10)에 드시한 바와 같이, 도 4 (13)과 동일한 공정에서, 농축 소자부와 수증 소자부를 마일란드화하기 위하여, 포트레지스트(24)를 형성하고 단결정 실리콘 박막층을 금융 포트리소그래피 및 에칭 기술로 선택적으로 제거한다.

이어서, 도 20 (11)에 드시한 바와 같이, 도 5 (14)와 동일한 공정에서, 틀란즈마 CVD, 고밀도 틀란즈마 CVD, 촉매 CVD법 등에 의하여 SiO₂ 막(53)(두께 약 300nm)과 인 실리케이트 유리(PSG) 막(54)(두께 약 300nm)를 이 순서로 전체면에 형성한다. 그리고, SiO₂ 막(53)과 PSG 막(54)은 전술한 보호막(25)에 상당하는 것이다. 그리고, 이 상태에서 단결정 실리콘막을 전술한 바와 동일하게 활성화 처리한다.

이어서, 도 21 (12)에 드시한 바와 같이, 도 5 (15)와 동일한 공정에서, 별용 포트리소그래피 및 에칭 기술에 의하여 소스부의 콘택트층 창을 형성한다. 그리고, 전체면에 두께 400~500nm의 알루미늄 스퍼터 막을 형성하고, 별용 포트리소그래피 및 에칭 기술에 의하여 TFT의 소스 전극(29)을 형성하는 동시에, 데일란드만 및 게이트 라인을 형성한다. 그 후, 드핑 가스 중에서 약 400°C / 1h로 산더 처리한다.

도 21 (13)에 드시한 바와 같이, 도 5 (16)과 동일한 공정에서, 고밀도 틀란즈마 CVD, 촉매 CVD법 등에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성하고 포시용 TFT의 드레인부의 콘택트층 창을 형성한다.

이어서, 도 21 (14)에 드시한 바와 같이, 도 5 (17)과 동일한 공정에서, 스팍 코팅 등으로 두께 2~3μm의 갈광성 수지막(28)을 형성하고, 도 21 (15)에 드시한 바와 같이, 별용 포트리소그래피 및 에칭 기술에 의

하여 최소한 학소부에 최적의 반사률 성과 시야각를 선별하는 예는 오월 혈장 패턴을 형성하고, 리듬으로 시켜주는 드럼인 부의 드럼부의 리듬으로 형성된다. 동시에 표시줄 TGT의 조건(28A)으로 이루어지는 반사면 하부를 형성한다. 초기를 지나 청정한 혈장 패턴을 형성한다.

이어서, 도 21 (15)에 도시한 바와 같이, 도 6 (19)와 동일한 공정에서, 전체면에 두께 400~500nm의 알루미늄 전극을 형성하고, 그 위에 프로리소그래피 및 예상 기술에 의하여 표시용 TFT의 드레인부(19)와

이상과 같이 하여, 축매 CVD법에 의하여 결정성 사파이어 박막(50) 및 단자(4)를 저온 헤터로에피택
설정장치로 하여 형성된 단계별 결정층(?)을 사용한 표시부에 트랜지스터형의 nMOS00-TFT(주제부)
장치로 게이트형의 nMOSFET 및 pMOSFET로 이루어지는 CMOS 구조 회로)를 만들어 넣은 표시부와 주
제부는 통신을 위하여 헤터로에피택을 사용하는 특별한 특성을 가진다.

그림 22는 표시부에 배설하는 상기한 표형 게이트형 MOSTFET의 게이트 접연막을 Mo/Ta의 음극 산화법으로 제작한 예를 드시합니다.

즉, 도 18 (2)의 풍정 흐름에 도 22 (3)에 드시한 바와 같이 풍정 흐름을 관리하는 산화 체리리를 활용으로서 그 표면에 흐름에 따른 미론어지를 게이트 절연막(74)을 통해 100~200nm로 형성된다.

이후의 골정은 도 22 (4)에 드시한 바와 같이, 도 19 (4)~(6)의 골정과 동일하게 하여 단자(4), 또한 결정성 사파미아드(50)를 형성하고, 축매 CVD법에 의하여 단결정 실리콘막(?)을 헤테르에피택셜 성장시킨 후, 도 19 (?) 내지 21 (15)의 골정과 동일하게 하여 도 22 (5)에 드시한 바와 같이 액티브 매트릭스 기판(30)을 제작한다.

다음에, 표시부에서 듀얼 게이트형 MOSTFT를 제조하기 위해서는 먼저 도 18 (1) 내지 19 (5)까지의 콩정을 전술한 바와 같이 행한다.

즉, 도 23 (7)에 드시한 바와 같이, 절연막(72, 73) 및 기판(1)에 단차(4)를 형성하고, 또한 결정성 사파이어막(50) 및 단차(4)를 시드로 하여 단결정 실리콘층(7)을 헤테르에피택슬 성장시킨다. 미어서, 도 3 (8)과 동일한 공정에서, 단결정 실리콘 박막(7) 상의 전계면에 플라즈마 CVD, 촉매 CVD 등에 의하여 SiO₂ 막(드께 약 200nm)과 SiN 막(두께 약 100nm)을 미술서로 연속 형성하여 절연막(80)(이것은 전술한 절연막(8)에 상당)을 형성하고, 또한 Mo/Ta 합금의 스퍼터 막(81)(두께 500~600nm)(이것은 전술한 스퍼터 막(9)에 상당)을 형성한다.

이어서, 도 23 (8)에 도시한 바와 같이, 도 3 (9)와 동일한 공정에서, 프로토레지스트 패턴(10)을 형성하고, 이를 속한 예정에 의하여 Mo / Ta 학동(20)의 게이트 전극(82) (이것은 전술한 게이트 전극(12)에 상당)과 게이트 절연막(83) (이것은 전술한 게이트 절연막(11)에 상당)을 형성하여 결정 실리콘 박막층(?)을 형성합니다.

이어서, 도 23 (9)에 드시한 밤막 갈이, 도 3 (10)과 동일한 풍경에서, nMOSFET의 를 게이트부를 흐트려 지스트(13)로 커버하고, 노출된 포시용 nMOSFET의 소스 / 드레인 경역에 인 이온(14)을 드핑(미온 주입)하여 N-형 층의 LDD부(15)를 형성한다.

이어서, 도 23 (10)에 드시한 방안 갈이, 도 4 (11)과 동일한 공정에서, nMOSTFET의 게이트부 및 LDD부를 프토레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 이온(17)을 도핑(이온 주입)하여 nMOSTFET의 N^+ 형 층으로 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 24 (11)에 도시한 방향 같이, 도 4 (12)와 동일한 공정에서, pMOSTFET의 게이트부를 프로레지스트(20)로 커버하고, 노출된 영역에 통소 미온(21)을 드핑(미온 주입)하여 주변 구동 회로부의 pMOSTFET의 주 출입의 소스부 및 드레인부를 형성한다.

이어서, 도 24 (12)에 도시한 바와 같이, 도 4 (13)과 동일한 공정에서, 능동 소자부와 수동 소자부의 단위별 소자설정을 정리한 표를 제시한다.

이어서, 도 24 (13)에 드시한 바와 같이, 도 5 (14)와 동일한 공정에서, 풀라즈마 CVD, 고밀도 풀라즈마 CVD, 촉매 CVD법 등에 의하여 SiO_2 막(53)(두께 약 200nm)과 인 실리케이트 유리(PSG) 막(54)(두께 약 300nm)을 전체면에 형성한다. 이를 막(53, 54)은 전술한 보호막(25)에 상당하는 것이다. 그리고, 단결정 실리콘층(?)을 결성화 처리한다.

이어서, 도 25 (15)에 도시한 바와 같이, 도 5 (16)과 동일한 공정에서, PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 촉성하고, 표시용 TFT의 드레인부의 콘택트층 700을 형성한다.

이어서, 도 25 (16)에 도시한 반만 갈이, 전체면에 스피 코팅 등으로 두께 2~3 μ 의 광택성 수지막(28)을 형성하고, 도 25 (17)에 도시한 바와 같이, 도 5 (18), (19)의 공정과 동일하게, 최소한 핵소부에 오겔소주(28A)으로 이루어지는 반사은 하부를 형성하고, 동시에 표시용 TFT의 드레인부의 큰 막트 등의 수지막 형성하고, 또한 표시용 TFT의 드레인부(19)와 접속된, 최적의 반사 특성과 시야각 특성을 얻기 위한 헤이팅 상의 알루미늄 등의 반사부(29)를 형성한다.

이상과 같이 하여, 층매 CVD법에 의하여 결정성 사파미어탁(SO) 및 단자(4)를 헤테트에피택셀 장의 시드를 통하여 형성된 단결정 실리콘층(?)을 사용하고, 포시부에 듀얼 게이트형의 nMOSFET- TFT를, 주제 중에 회로부에 듀얼 게이트형의 pMOSFET 및 nMOSFET로 이루어지는 CMOS 구동 회로를 만들어 놓은 포시부-

구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

〈제4 실시예〉

드 25 내지 31은 본 발명의 제 4 실시예를 도시한 것이다.

본 실시예에서는 전술한 실시예와는 상이하게, 흑 게이트부의 게이트 전극을 알루미늄 등의 비교적 내열성이 낮은 재료로 형성하고 있다.

먼저 표시부에 흑 게이트형 MOSTFT를, 주변 구동 회로에 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한 제1 실시예에서의 도 1 (1) 내지 2 (?)까지의 공정은 동일하게 행하고, 도 26 (?)에 도시한 바와 같이 주변 구동 회로부의 pMOSTFT부에 N형 웨이블(7A)을 형성한다.

이어서, 도 25 (8)에 도시한 바와 같이, 주변 구동 영역의 nMOS 및 pMOS TFT 전부와 표시 영역의 nMOS TFT의 게이트부를 프토레지스트(13)로 커버하고, 노출된 pMOSTFT의 소스/드레인 영역에 인 마운(14)을 예를 들면 20kV에서 5×10^{15} atoms/cm²의 도즈량으로 드핑(마운 주입)하여 N형 층으로 이루어지는 LDD부(15)를 자가정착적으로 형성한다.

이어서, 도 27 (9)에 도시한 바와 같이, 주변 구동 영역의 pMOSTFT 전부와 주변 구동 영역의 nMOSTFT의 게이트부와 표시 영역의 nMOSTFT의 게이트 및 LDD부를 프토레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 마운(17)을 예를 들면 20kV에서 5×10^{15} atoms/cm²의 도즈량으로 드핑(마운 주입)하여, nMOSTFT의 N형 층으로 이루어지는 소스부(18) 및 드레인부(19)와 LDD부(15)를 형성한다. 이 경우, 가상선으로 나단면 바와 같이 레지스트(13)를 날기고 이것을 덜도록 레지스트(16)를 형성하면, 레지스트(16) 형성 시의 마스크의 윗자 맞춤을 레지스트(13)를 기준으로 할 수 있어 마스크 맞춤이 흥이하게 되어 열라인먼트의 어긋날드 적어진다.

이어서, 도 27 (10)에 도시한 바와 같이, 주변 구동 영역의 nMOSTFT 및 표시 영역의 nMOSTFT 전부와 pMOSTFT의 게이트부를 프토레지스트(20)로 커버하고, 노출된 영역에 흑소 마운(21)을 예를 들면 10kV에서 5×10^{15} atoms/cm²의 도즈량으로 드핑(마운 주입)하여 pMOSTFT의 P⁺층의 소스부(22) 및 드레인부(23)를 형성한다.

이어서, 레지스트(20)의 제거 후에, 도 27 (11)에 도시한 바와 같이, 단결정 실리콘층(7, 7A)을 전술한 바와 동일하게 활성화 처리하고, 또한 표면에 게이트 웨이블(12), 게이트 전극 재료(알루미늄 또는 1% Si가 혼입된 알루미늄 등)(11)를 형성한다. 게이트 전극 재료층(11)은 전용 종착별 또는 스팍터링 법으로 형성 가능하다.

이어서, 전술한 바와 동일하게, 각 게이트부를 패터닝한 후 등등 소자부와 수동 소자부를 마일랜드화하고, 또한 도 28 (12)에 도시한 바와 같이, SiO₂ 막(두께 약 200nm) 및 인 실리케이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

이어서, 도 28 (13)에 도시한 바와 같이, 볼을 프로리소그래피 및 에칭 기술에 의하여 주변 구동 회로의 모든 TFT의 소스/드레인부 및 표시부 TFT의 소스부의 른택트층(창)을 형성한다.

그리고, 전체면에 두께 500~600nm의 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 스팍터 막을 형성하고, 볼을 프로리소그래피 및 에칭 기술에 의하여 주변 구동 회로 및 표시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에 데이터 라인 및 게이트 라인을 형성한다. 그 후, 표방 가스(N₂, N₂O) 중에서 약 400°C / 1h로 산화 처리한다.

이어서, 도 5 (16) 내지 6 (19)와 동일하게 하여 단결정 실리콘층(7)을 사용한 표시부 및 주변 구동 회로부에 각각 알루미늄 또는 1% Si가 혼입된 알루미늄 등을 게이트 전극으로 하는 흑 게이트형 nMOSLDD-TFT, 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 구성되는 CMOS 구동 회로를 만들어 넓은 표시부·주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

본 실시예에서는 단결정 실리콘층(7)의 활성화 처리 후에 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 게이트 전극(11)을 형성하고 있으므로, 그 활성화 처리 시의 복의 영향은 게이트 전극 재료의 내열성과 관계가 없기 때문에, 흑 게이트 전극 재료로 비교적 내열성이 낮고 저코스트인 알루미늄 또는 1% Si가 혼입된 알루미늄 등으로 드 사용 가능하게 되어 전극 재료의 선택의 폭도 넓어진다. 이것은 표시부가 브래드 게이트형 MOSTFT인 경우도 동일하다.

다음에, 표시부에 듀얼 게이트형 MOSTFT, 주변 구동 회로는 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한 제3 실시예에서의 도 18 (1) 내지 19(5)까지의 공정은 동일하게 행하고, 도 29 (6)에 도시한 바와 같이 주변 구동 회로부의 pMOSTFT부에 N형 웨이블(7A)을 형성한다.

이어서, 도 29 (7)에 도시한 바와 같이, 도 26 (8)과 동일하게 하여 표시부의 TFT부에 인 마운(14)을 드핑하여 LDD부(15)를 형성한다.

이어서, 도 30 (8)에 도시한 바와 같이, 도 27 (9)와 동일하게 하여 표시부 및 주변 구동 회로부의 nMOSTFT부에 인 마운(17)을 드핑하여 N형 소스 영역(18) 및 드레인 영역(19)을 각각 형성한다.

이어서, 도 30 (9)에 도시한 바와 같이, 도 27 (10)과 동일하게 하여 주변 구동 회로부의 pMOSTFT부에 흑소 마운(21)을 드핑하여 P⁺형 소스 영역(22) 및 드레인 영역(23)을 각각 형성한다.

이어서, 레지스트(20)의 제거 후에, 도 30 (10)에 도시한 바와 같이, 단결정 실리콘층(7)을 패터닝하여 등등 소자부와 수동 소자부를 마일랜드화한 후, 도 31 (11)에 도시한 바와 같이, 단결정 실리콘층(7, 7A)을 전술한 바와 동일하게 활성화 처리하고, 또한 표시부에서는 표면에 게이트 웨이블(12)을 형성하고 주변 구동 회로부에서는 표면에 게이트 웨이블(12)을 형성한다.

이어서, 도 31 (12)에 도시한 바와 같이, 전체판에 스핀터를 활용으로 활성화 알루미늄을 패터닝하여 표시부의 각 상부 게이트 전극(33), 주변 구동 회로부의 각 상부 게이트 전극(11)을 형성한다.

이어서, 도 31 (13)에 도시한 바와 같이, SiO₂ 막(두께 약 200nm) 및 인 실리케이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

이어서, 전술한 바와 동일하게 하여, 주변 구동 회로 및 표시부의 모든 TFT의 소스 전극(25)과 주변 구동 회로부의 드레인 전극(27)을 형성하고, 단결정 실리콘층(7)을 사용한 표시부 및 주변 구동 회로부에 각 알루미늄 둘레 게이트 전극으로 하는 듀얼 게이트형의 a-MOSLDD-TFT, 듀얼 게이트형의 a-MOSTFT a-MOSTFT로 구성되는 CMOS 구동 회로를 만들어 같은 표시부와 주변 구동 회로부 일체형의 액터트리거 기판(30)을 제작할 수 있다.

본 실시예에서도, 단결정 실리콘층(7)의 갈성화 처리 후에 알루미늄 등의 게이트 전극(11, 33)을 형성하고 있으므로, 그 갈성화 처리 시의 열의 영향은 게이트 전극 재료의 내열성과는 관계가 없어지므로, 게이트 전극 재료로서 비교적 내열성이 낮은 저코스트인 알루미늄 등으로 사용 가능하게 되어 전자재료의 선택의 폭도 넓어진다. 그리고, 도 31 (12)의 공정에서 소스 전극(25)(또한 드레인 전극도) 시에 형성할 수 있으며, 이 경우에는 제조 방법상의 제한이 있다.

그리고, 전술한 어느 실시예에서나, 예를 들면 브릴 게이트형 또는 듀얼 게이트형 MOSTFT를 제작할 때, 도 32 (A)에 개략적으로 도시한 바와 같이, 단자(4)를 형성하면 이 위에 성장하는 단결정 실리콘막(7)이 알기 때문에 단이 끊어지거나, 가늘어지는 경우가 있으므로, 소스 전극(26)(또한 드레인 전극)과의 접속을 확실하게 행하기 위해서는, 도 32 (B), (C)에 도시한 바와 같이 그 전극 단자(4)를 포함하는 영역상에 티적시킨 것이 바람직하다.

그리고, 도 26 (8)의 공정 또는 도 29 (7)의 공정에서, 단결정 실리콘층(7)상에 툴 게이트 펄열막의 형성 후에 미온 주입, 갈성화 처리하고, 그 후에 툴 게이트 전극, 소스, 드레인 전극을 알루미늄으로 표시에 형성할 수도 있다.

또, 상기한 단자(4)는 도 33 (A)에 도시한 바와 같이, 전술한 예에서는 기판(1)에(또한 그 위의 SiN 등의 막에도) 형성하였지만, 예를 들면 도 33 (B)에 도시한 바와 같이, 기판(1) 상의 결정성 사파이어막(50)(이것은 유리 기판(1)으로부터의 미온의 확산을 막는 스트로크 기능이 있음을)에 형성할 수도 있다. 이 결정성 사파이어막(50) 대신, 또는 이 결정성 사파이어막 아래에 전술한 게이트 접연막(72 및 73)을 형성하고, 이것에 단자(4)를 형성할 수도 있다. 결정성 사파이어막(50)에 단자(4)를 형성한 예를 도 33 (C), (D), (E)에 각각 예시하였다.

〈제5 실시예〉

도 34 내지 36은 본 발명의 제5 실시예를 도시한 것이다.

본 실시예에서는 전술한 단자(4)의 외측에(즉, 단자 미온의 기판(1)상에) 각 TFT를 형성한 각종 예를 도시한다. 그리고, 단결정 실리콘층(7)이나 게이트 / 소스 / 드레인 전극(25, 27)에 대해서는 간략하게 도시하고 있다.

먼저, 도 34는 툴 게이트형 TFT를 도시하여, 도 34 (A)는 단자에 의한 유통(면밀)(4)를 소스 출입의 일정에 소스 영역을 따라 형성하고, 이 유통 미온의 기판 평탄면상에서 단결정 실리콘층(7) 상으로 게이트 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (B)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (C)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (D)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (E)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (F)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (G)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (H)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (I)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (J)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (K)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (L)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (M)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (N)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (O)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (P)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (Q)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (R)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (S)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (T)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (U)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (V)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (W)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (X)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (Y)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다. 동일하게, 도 34 (Z)는 단자에 의한 유통(4)를 소스 막(12) 및 게이트 전극(11)을 형성하고 있다.

이와 같이, 각종 패턴의 유통(4)를 형성 가능한 동시에, TFT를 유통(4) 미온의 평탄면상에 배설하고 있으므로 TFT의 제작이 용이하게 된다.

도 35는 브릴 게이트형 MOSTFT의 경우이며, 도 34에 도시한 각종 패턴의 단자(또는 유통)(4)를 통일하게 형성할 수 있다. 즉, 도 35 (A)는 도 34 (A)에 대응한 예로, 브릴 게이트형 MOSTFT를 단자에 의한 유통(4) 미온의 평탄면상에 형성한 것이다. 동일하게, 도 35 (B)는 도 34 (B)에, 도 35 (C)는 도 34 (C)나 (D)에 대응한 예를 도시한다. 도 35 (O)는 결정성 사파이어막(50)에 단자(4)를 형성한 경우이다.

도 36은 듀얼 게이트형 MOSTFT의 경우이며, 이것도 도 34에 도시한 각종 패턴의 단자(또는 유통)(4)를 통일하게 형성할 수 있고, 예를 들면 도 34 (C)에 도시한 단자(4)의 내측 영역의 평탄면상에 듀얼 게이트형 MOSTFT를 제작할 수 있다.

〈제6 실시예〉

도 37 내지 39는 본 발명의 제6 실시예를 도시한 것이다.

도 37의 예는 자기정합형 LDD 구조의 TFT, 예를 들면 툴 게이트형 LDD-TFT를 복수 개 연결한 더블 게이트형 MOSTFT에 관한 것이다.

이에 따르면, 게이트 전극(11)을 2개로 본기시키고 한쪽을 제1 게이트로서 제1 LDD-TFT용, 다른 쪽을 제2 게이트로서 제2 LDD-TFT용으로 사용한다(단, 단결정 실리콘층의 중앙부에서 게이트 전극 간에 세 헝연(100)을 형성하여 저저항화를 도모하고 있음). 이 경우, 각 게이트에 상이한 전압을 인가해도 되며, 모든 원인으로 한쪽의 게이트가 총작이 가능하게 되어도 나머지 게이트를 사용함으로써 소스와 드레인 간에서의 캐리어의 이동을 행할 수 있고, 신뢰성이 높은 디바이스를 제공할 수 있게 된다. 또, 제1 LDD-TFT와 제2 LDD-TFT를 직렬로 2개 접속하여 각 핵소를 구동하는 별도 트랜지스터를 형성하도록 했으므로, 유포되어 있을 때 각 박막 트랜지스터의 소스와 드레인 간에 인가되는 전압을 대체 감소시킬 수 있다. 따라서, 유포되어 있을 때 흐르는 리크 전류를 적게 할 수 있고, 액정 디스플레이의 블록라스터

화질을 양호하게 개선할 수 있다. 또, 상기 100 트랜지스터에서의 전동도 드레인 영역과 동일한 반도체 층만을 사용하여 상기 2개의 100 트랜지스터를 접속하도록 하고 있으므로, 각 트랜지스터 간의 접속 거리를 짧게 할 수 있고, 이를 위하여 100 트랜지스터를 2개 연결해도 소요 면적이 커지지 않도록 할 수 있다. 그리고, 상기 제1, 제2 게이트는 서로 완전하게 분리되어 별립적으로 동작시키는 것도 가능하다.

도 38의 예는 브릴 게이트형 MOSTFT를 더블 게이트 구조로 한 것(A)과, 듀얼 게이트형 MOSTFT를 더블 게이트 구조로 한 것(B)이다.

이들 더블 게이트형 MOSTFT도, 상기의 툴 게이트형과 동일한 미결을 가지지만, 이 중에서 듀얼 게이트형의 경우에는 또한, 상하의 게이트부의 어느 하나가 동작이 불가능하게 되어도 다른 한쪽의 게이트부를 사용할 수 있다는 것도 미결이다.

도 39에는 상기의 각 더블 게이트형 MOSTFT의 동작 회로를 도시하고 있다. 그리고, 상기에서는 게이트를 2개로 분기하였지만, 그에 따른 그 이상으로 분기 또는 분할할 수도 있다. 이를 더블 게이트 또는 웨일 게이트 구조에서, 채널 영역 내에 20상의 분기된 동일 전위의 게이트 전극을 가지거나, 또는 분할된 상이 전위 또는 동일 전위의 게이트 전극을 가질 수도 있다.

〈제7 실시예〉

도 40은 본 발명의 제7 실시예를 도시한 것으로, nMOSTFT의 듀얼 게이트형 구조의 TFT에서, 상하 게이트부의 어느 한쪽을 트랜지스터 동작시키고 다른 쪽의 게이트부는 다음과 같이 동작시키고 있다.

즉, 도 40 (A)는 nMOSTFT에서, 툴 게이트 층의 게이트 전극에 항상 일의의 부전압을 인가하여 백채널(back channel)의 리크 전류를 저감시키는 것이다. 툴 게이트 전극을 오픈으로 하는 경우에는 브릴 게이트형으로 사용할 때이다. 또, 40 (B)는 브릴 게이트 층의 게이트 전극에 항상 일의의 부전압을 인가하여 백 채널의 리크 전류를 저감시키는 것이다. 이 경우에는 브릴 게이트 전극을 오픈으로 하면 툴 게이트형으로 사용할 수 있다. 그리고, pMOSTFT의 경우에는 항상 일의의 부전압을 게이트 전극에 인가하여 백 채널의 리크 전류를 감소시킨다.

어느 경우나, 단결정 실리콘층(?)과 헬연막의 계면(界面)은 결정성이 나쁘고 리크 전류가 흐르기 쉽지만, 상기와 같은 전극의 부전압 인가에 의하여 리크 전류를 차단할 수 있다. 이것은 100 구조의 효과와 헬연막에 따라 된다. 또, 윤리 기판(1) 층으로부터 일시하는 광으로 인하여 리크 전류가 흐르는 경우가 있지만, 브릴 게이트 전극으로 광을 차단하므로 리크 전류를 저감시킬 수 있다.

〈제8 실시예〉

도 41 내지 47은 본 발명의 제8 실시예를 도시한 것이다.

본 실시예에서는 기판에 전술한 바와 같은 단자를 형성하지 않고, 기판의 평탄면상에 전술한 틀질층(예를 들어 단결정 사파미어막)을 형성하고, 이 틀질층을 시드로 하여 층매 CVD법에 의하여 단결정 실리콘층(?)을 형성하여 헬연막에 피택설 성장시키고, 이것을 사용하여 툴 게이트형 MOSTFT를 표시부에, 듀얼 게이트형 MOSTFT를 주변 구동 회로부에 구성한 액티브 매트릭스 반사형 액정 표시 장치(LCD)에 관한 것이다.

다음에 도 41 내지 47을 참조하여 본 실시예에 의한 액티브 매트릭스 반사형 LCD를 그 제조 공정에 따른 설명한다. 단, 도 41 내지 47에서 각 도면의 단축은 표시부의 제조 공정, 우측은 주변 구동 회로부의 제조 공정을 나타낸다.

먼저 도 41 (1)에 도시한 바와 같이, 툴규산 유리, 석영 유리, 투명성 결정화 유리 등의 절연 기판(1)의 주면에 툴리보덴 / 탄탈(Mo / Ta) 합금의 스퍼터 악(71)(두께 500~600nm)을 형성한다.

이어서, 도 41 (2)에 도시한 바와 같이, 프토레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 Mo / Ta 악(71)을 테이퍼 에칭하여 층단부(71a)가 사다리꼴 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 41 (3)에 도시한 바와 같이, 프토레지스트(70) 제거 후에 툴리보덴-탄탈 합금액(71)을 포함하는 기판(1)상에 툴리즈마 CVD법 등에 의하여 SiN 악(두께 약 100nm)(72)과 SiO₂ 악(두께 약 200nm)(73)를 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 42 (4)에 도시한 바와 같이, 절연 기판(1)의 1층면상에서 최소한 TFT 형성 영역에 결정성 사파미어막(두께 20~200nm)(50)을 형성한다. 이 결정성 사파미어막(50)은 고밀도 툴리즈마 CVD법이나, 층매 CVD법(일본국 특개소 53-40314호, 공보 참조) 등에 의하여 툴리메탈알루미늄 가스 등을 산화성 가스(산소 수분)로 산화하고, 결정화시켜 만든다. 절연 기판(1)으로 고체열성 유리 기판(직경 8~12인치, 두께 700~800μm)이 사용 가능하다.

이어서, 도 42 (5)에 도시한 바와 같이, 도 2 (6)과 동일하게 층매 CVD법(기판 온도 200~300°C)에 의하여 단결정 실리콘층(?)을 수 2~0.005μm(예를 들면 0.1μm)의 두께로 헬연막에 피택설 성장시킨다. 기판(1)이 툴규산 유리인 경우에는 기판 온도를 200~300°C로 하고, 석영 유리나 결정화 유리, 세라믹 기판인 경우에는 기판 온도를 600~800°C로 한다.

상기한 바와 같이 하여 헬연된 단결정 실리콘층(?)은 사파미어막(50)이 단결정 실리콘과 강호한 측자 정합을 나타내므로, 예를 들면 (100)면이 기판상에 헬연에 피택설 성장한다.

마렇게 하여, 층매 CVD법과 헬연에 피택설 성장에 의하여 기판(1)상에 단결정 실리콘층(?)을 채널 영역으로 하는 툴 게이트형 또는 듀얼 게이트형 MOSTFT의 제작을 행한다.

먼저, 상기의 에피택설 성장에 의한 단결정 실리콘층(?)의 전체면에 N형 캐리어 흘순을, 예를 들면 물소이온을 적량 도핑하여 빌재향을 조정한다. 또, pMOSTFT 절연 영역만, 선형적으로 N형 캐리어 흘순을 출렁하여 N형 헬을 형성한다. 예를 들면, p채널 TFT부를 프토레지스트(마드시)로 마스크하고 N형 흘순을

이온(예를 들면 B^+)을 10kV에서 $2.7 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여 빙저항을 조정한다. 또, 도 42 (6)에 도시한 바와 같이, pMOSTFT 형성 영역의 플로팅 층도 제거를 위하여 nMOSTFT부를 프토레지스트(60)로 마스크하고 N형 불순을 이온(예를 들면 P^+)(65)을 10kV에서 $1 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑하여 N형 웰(7A)을 형성한다.

이어서, 도 43 (7)에 도시한 바와 같이, 단결정 실리콘층(7)의 전체면상에 플라즈마 CVD, 고밀도 플라즈마 CVD, 혹은 CVD법 등으로 SiO_2 (두께 약 200nm)와 SiN (두께 약 100nm)을 이 순서로 연속 형성하여 게이트 철연막(8)을 형성하고, 또한 몰리브데-타이타늄(Mo/Ta) 합금의 스팍터 막(9)(두께 500~600nm)을 형성한다.

이어서, 도 43 (9)에 도시한 바와 같이, 별용의 프토리소그래피 기술에 의하여, 표시 영역의 TFT부와 주변 구동 영역의 TFT부의 각각의 단자 영역(오른쪽 내)에 프토레지스트 패턴(10)을 형성하고, 연속된 예정에 의하여 (Mo/Ta) 합금의 게이트 전극(11)과 게이트 철연막(SiN/SiO_2)(12)을 형성하여, 단결정 실리콘층(7)을 노출시킨다. (Mo/Ta) 합금막(9)은 산계 예정액, SiN 은 CF, 가스의 플라즈마 예정, SiO_2 는 헬산계 예정액으로 처리한다.

이어서, 도 43 (9)에 도시한 바와 같이, 주변 구동 영역의 nMOS 및 pMOSFT 전부와 표시 영역의 nMOSFT의 게이트부를 프토레지스트(13)로 커버하고, 노출된 nMOSFT의 소스 / 드레인 영역에 인 이온(14)을 예를 들면 20kV에서 $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑(미온 주입)하여 N형 층으로 이루어지는 LDD부(15)를 자기정합적(벨프얼리안먼트)으로 형성한다.

이어서, 도 43 (10)에 도시한 바와 같이, 주변 구동 영역의 pMOSFT 전부와 주변 구동 영역의 nMOSFT의 게이트부와 표시 영역의 nMOSFT의 게이트 및 LDD부를 프토레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 이온(17)을 예를 들면 20kV에서 $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑(미온 주입)하여 nMOSFT의 N형 층으로 이루어지는 소스부(18) 및 드레인부(19)와 LDD부(15)를 형성한다.

이어서, 도 44 (11)에 도시한 바와 같이, 주변 구동 영역의 nMOSFT 및 표시 영역의 nMOSFT 전부와 pMOSFT의 게이트부를 프토레지스트(20)로 커버하고, 노출된 영역에 풍소 이온(21)을 예를 들면 10kV에서 $5 \times 10^{11} \text{ atoms/cm}^2$ 의 도즈량으로 도핑(미온 주입)하여 pMOSFT의 P^+ 층의 소스부(22) 및 드레인부(23)를 형성한다. 그리고, 미작업은 nMOS 주변 구동 회로의 경우에는 pMOSFT가 없으므로 풀필드로 작용이다.

이어서, 도 44 (12)에 도시한 바와 같이, TFT, 디이오드 등의 등등 소자부나 저항, 인덕턴스 등의 수동 소자부를 아일랜드화하기 위하여, 프토레지스트(24)를 형성하고, 주변 구동 영역 및 표시 영역의 모든 등등 소자부 및 수동 소자부 미와의 단결정 실리콘 막층을 별용 프토리소그래피 및 예정 기술로 제거한다. 예정액은 헬산계이다.

이어서, 도 45 (13)에 도시한 바와 같이, 플라즈마 CVD, 고밀도 플라즈마 CVD, 혹은 CVD법 등에 의하여 SiO_2 막(두께 약 200nm) 및 인 실리케이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

그리고, 미 상태에서 단결정 실리콘층을 활성화 처리한다. 이 활성화에서 할로겐 등의 브로마린, 아닐린, 주간은 약 1000°C, 약 10초 정도이고, 이에 견디는 게이트 전극 채르는 고온정의 Mo/Ta 합금을 할 것이다. 따라서, 이 게이트 전극 채르는 게이트부뿐 아니라 배선으로서 넓은 범위에 걸쳐 연장하여 배선을 할 수 있다. 그리고, 여기에서는 고가인 액시터 레이저 아일랜드는 사용하지 않지만, 단일 사용한다면 주간은 XeCl (파장 308nm)로 전체면, 또는 등등 소자부 및 수동 소자부만의 선택적인 90% 이상의 유효율로 캐팅이 반복적이다.

이어서, 도 45 (14)에 도시한 바와 같이, 별용 프토리소그래피 및 예정 기술에 의하여 주변 구동 회로의 전체 TFT의 소스 / 드레인부 및 표시용 TFT의 소스부의 큰막트를 형성한다.

그리고, 전체면에 두께 500~600nm의 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 스팍터 막을 형성하고, 별용 프토리소그래피 및 예정 기술에 의하여 주변 구동 회로 및 표시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에, 데미터 라인 및 게이트 라인을 형성한다. 그 후, 프팅 가스(N_2H_2) 중에서 약 400°C / 1h로 신터 처리한다.

이어서, 도 45 (15)에 도시한 바와 같이, 플라즈마 CVD, 고밀도 플라즈마 CVD, 혹은 CVD법 등에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성한다. 이어서, 표시용 TFT의 드레인부의 큰막트를 형성한다. 그리고, 화소부의 SiO_2 , PSG 및 SiN 막을 제거 할 필요는 없다.

이어서, 도 6 (18)에서 설명한 것과 동일한 목적으로, 도 46 (16)에 도시한 바와 같이 전체면에 스팍터 코팅 툴으로 두께 2~3nm의 강광성 수지막(28)를 형성하고, 도 46 (17)에 도시한 바와 같이 별용 프토리소그래피 및 예정 기술에 의하여 최소한 화소부에 최적의 반사 특성과 시야각 특성을 얻기 위한 유클리드 패턴을 형성하고, 리플로시 케이스를 조명(29A)으로 이루어지는 반사면 하부를 형성한다. 동시에, 표시용 TFT의 드레인부의 큰막트를 수지 층을 형성한다.

이어서, 도 46 (18)에 도시한 바와 같이, 전체면에 두께 400~600nm의 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 스팍터 막을 형성하고, 별용 프토리소그래피 및 예정 기술에 의하여 화소부 미와의 알루미늄 막 등을 제거하고, 표시용 TFT의 드레인부(19)와 접속한 유클리드 패턴을 형성하는 반사부(29)를 형성한다. 이것은 표시용 화소 전극으로 사용된다. 그 후, 프팅 가스 중에서 약 300°C / 1h로 신터 처리하고 캐팅을 충분히 한다. 그리고, 반사층을 높이기 위하여, 알루미늄계 대신은 또는 은 합금을 사용할 수 있다.

이상과 같이 하여, 총매 CMOS에 의하여 절전형 사파이어막(50)을 절은 헤터로에피택슬 전장리 시드로 하여 단결정 실리콘층(?)을 형성하고, 이 단결정 실리콘층(?)을 사용한 표시부 및 주변 구동 회로부에 각각 툴 게이트형의 nMOSL00-TFT, 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 구성하는 CMOS 회로를 만들어 낸은 표시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

이렇게 하여 얇은 액티브 매트릭스 기판(구동 기판)(30)을 사용하여, 그 데에서 설명한 것과 동일하게 하여 도 47의 반사형 액정 표시 장치(LCD)를 제조한다.

본 실시예에서는 전술한 제1 실시예에서 설명한 것과 동일한 우수한 효과가 얻어짐은 흥백하다. 또한, 기판(1)에 단차를 형성하지 않고 결정성 사파이어막(50)에만 의하여 단결정 실리콘층(?)을 헤터로에피택슬 전장시키고 있으므로, 단차의 결정성 공정을 생략하여 보다 제조 공정을 간략화할 수 있는 동시에 성장하는 단결정 실리콘층의 단 얻어짐 등의 문제도 해소할 수 있게 된다.

〈제9 실시예〉

도 48 내지 50을 참조하여 본 발명의 제9 실시예를 설명한다.

본 실시예는 전술한 제8 실시예와 비교하여, 동일한 툴 게이트형 MOSTFT를 표시부에, 듀얼 게이트형 MOSTFT를 주변 구동 회로부에 가지지만, 전술한 제8 실시예와는 상이하게, 투과형 LCD에 관한 것이다. 즉, 도 41 (1)로부터 도 45 (15)에 드시한 공정까지는 동일하지만, 그 공정 후에 도 48 (16)에 드시한 바와 같이, 절연막(25, 36)에 표시용 TFT의 드레인부 클랙트층(19)을 형성하는 동시에, 투과를 향상을 위하여 화소 개구부의 툴필요한 SiO₂, PSG 및 SiN 막을 제거한다.

이어서, 도 48 (17)에 드시한 바와 같이, 전체면에 소핀 코팅 등으로 두께 2~3μm의 강광성 아크릴계 투과 수지의 평탄화막(288)을 형성하고, 벌동 포트리소그래피에 의하여 표시용 TFT의 드레인부의 투과수지(288)의 창을 형성하고 소정 조건에서 경화시킨다.

이어서, 도 48 (18)에 드시한 바와 같이, 전체면에 두께 130~150nm의 ITO 스퍼터 막을 형성하고, 벌동 포트리소그래피 및 에칭 기술에 의하여 표시용 TFT의 드레인부(19)와 클랙트층(41)을 형성한다. 그리고, 젤 쳐린(프팅 가스 중에서 200~250°C / 1h)에 의하여 표시용 TFT의 드레인과 ITO의 투과부를 저항의 저감화막 ITO 투명도의 향상을 도모한다.

그리고, 도 49에 드시한 바와 같이, 대향 기판(32)과 조합하여 전술한 제8 실시예와 동일하게 하여 투과형 LCD를 조립한다. 단, TFT 기판 층에 평활판을 접착한다. 이 투과형 LCD에서 드는 결연층으로 나란년 바와 같이 대향 기판(32) 층으로부터의 투과광이 보통일이 투과광이 걸어지지만, 일정색면으로 나란년 바와 같이 대향 기판(32) 층으로부터의 투과광이 보통일이 걸어질 수도 있다.

이 투과형 LCD의 경우, 다음과 같이 하여 온 철 칼라 필터(OCCF) 구조와 온 철 클랙(OC8) 구조를 제작할 수 있다.

즉, 도 41 (1) 내지 45 (14)까지의 공정은 상기의 공정에 준하여 행하지만, 그후 도 50 (15)에 드시한 바와 같이 PSG / SiO₂의 절연막(25)의 드레인부드 창을 형성하여 드레인 전극을 알루미늄 매탈층(41A)을 형성한 후, SiN / PSG의 절연막(36)을 형성한다.

이어서, 도 50 (16)에 드시한 바와 같이, R, G, B의 각 색을 각 세그먼트마다, 안료 블록화학적 툴리저스트(61)를 소정의 두께(1~1.5μm)로 형성한 후, 도 50 (17)에 드시한 바와 벌동 포트리소그래피 기술로 소정 위치(각 화소부)만을 날기는 패터닝으로 각 칼라 필터층(61(R), 61(G), 61(B))을 형성한다(온 철 칼라 필터 구조). 이때, 드레인부의 창도 형성한다. 그리고, 블루광한 세라믹 기판을 사용할 수 있다.

이어서, 도 50 (17)에 드시한 바와 같이, 표시용 TFT의 드레인에 연결하는 클랙트층(43)에, 칼라 필터층상에 제작된 클랙 마스크 층이 되는 차광층(43)을 글록 패터닝으로 형성한다. 예를 들면, 스퍼터링 복에 의하여 글록 브랜드 두께가 200~250nm으로 형성하고 표시용 TFT를 둘러 차광하는 소정의 형상으로 패터닝한다(온 철 클랙 구조).

이어서, 도 50 (18)에 드시한 바와 같이, 투과 수지의 평탄화막(288)을 형성하고, 또한 이 평탄화막에 형성된 스크루홀에 ITO 투명 전극(41)을 차광층(43)에 접착하도록 형성한다.

마와 같이, 표시 어레이부상에 칼라 필터(61)나 클랙 마스크(43)를 만들어 넣을으로써 액정 표시 패널의 개구부를 개선하고, 또 백 라이트도 포함한 디스플레이 모듈의 저소비전력화가 실현된다.

〈제10 실시예〉

도 51 내지 59는 본 발명의 제10 실시예를 드시한 것이다.

본 실시예에서는, 주변 구동 회로부를 전술한 제8 실시예와 동일한 듀얼 게이트형의 pMOSTFT와 nMOSTFT를 미루어지는 CMOS 구동 회로로 구성한다. 표시부는 반사형이며, 각종 게이트 구조의 TFT를 여러 가지로 조합하여 형성하고 있다.

즉, 도 51 (A)는 전술한 제8 실시예와 동일한 툴 게이트형의 nMOSL00-TFT를 표시부에 배설하고 있지만, 도 51 (B)에 드시한 표시부에는 보텀 게이트형의 nMOSL00-TFT, 도 51 (C)에 드시한 표시부에는 듀얼 게이트형의 nMOSL00-TFT를 각각 배설하고 있다. 이를 보텀 게이트형, 듀얼 게이트형 MOSTFT의 어느 것에나 흐름하는 바와 같이 주변 구동 회로부의 듀얼 게이트형 MOSTFT만 충동의 흥정으로 제작 가능하지만, 특히 듀얼 게이트형의 경우에는 상하의 게이트부에 의하여 구동 흥력이 향상되어 고속 스위칭에 적합하고, 또 상하의 게이트부의 어느 하나를 선택적으로 사용하여 경우에 따라 툴 게이트형 또는 보텀 게이트형으로 통작시킬 수도 있다.

그리고, 도 51 (B)의 보텀 게이트형 MOSTFT에서, 드연 중의 71은 Mo / Ta 등의 게이트 전극이고, 72는 SiN

라이더 73은 SiO₂ 막으로 미을 막으로 게이트 절연막을 형성하고, 이 게이트 절연막상에는 블 게이트형 MOSTFT와 동일한 단결정 실리콘층을 사용한 해밀 영역 등이 형성되어 있다. 또, 도 49 (C)의 듀얼 게이트형 MOSTFT에서, 하부 게이트부는 블 게이트형 MOSTFT와 동일하지만, 상부 게이트부는 게이트 절연막(73)을 SiO₂ 막과 SiN 막으로 형성하고, 미 위에 상부 게이트 전극(74)을 배설하고 있다.

다음에, 상기의 블 게이트형 MOSTFT의 제조 방법을 도 52 내지 56을 참조하여, 상기의 듀얼 게이트형 MOSTFT의 제조 방법을 도 57 내지 59를 참조하여 각각 설명한다. 그리고, 주변 구동 회로부의 블 게이트형 MOSTFT의 제조 방법은 도 41 내지 46에서 설명한 것과 동일하므로 여기에서는 드시를 생략한다.

포시부에서 블 게이트형 MOSTFT를 제조하기 위해서는, 먼저 도 52 (1)에 드시한 바와 같이, 기판(1)상에 흘리드멘 / 탄탈(Mo / Ta) 합금의 스퍼터 막(71)(두께 500~600nm)을 형성한다.

이어서, 도 52 (2)에 드시한 바와 같이, 프토레지스트(70)를 소정 패턴으로 형성하고, 이것을 마스크로 하여 Mo / Ta 막(71)을 텐마파에 에칭하고, 측단부(71a)가 사다리꼴 형상으로 20~45°로 완만하게 경사진 게이트 전극(71)을 형성한다.

이어서, 도 52 (3)에 드시한 바와 같이, 프토레지스트(70)의 제거 후에 흘리드멘-타탈 합금막(71)을 포함하는 기판(1)상에 흘리즈마 CVD법 등에 의하여 SiN 막(두께 약 100nm)(72)과 SiO₂ 막(두께 약 200nm)(73)을 이 순서로 적층한 게이트 절연막을 형성한다.

이어서, 도 53 (4)에 드시한 바와 같이, 도 42 (4)와 동일한 공정에서, 전술한 것과 동일하게 절연 기판(1)의 1주년에서 최소한 TFT 형성 영역에 결정성 사파이어 박막(두께 20~200nm)(50)을 형성한다.

이어서, 도 53 (5)에 드시한 바와 같이, 도 42 (5)와 동일한 공정에서, 전술한 바와 동일하게 층매 CVD법에 의하여 단결정 실리콘을 헤터로에피택슬 성장시키고, 두께를 예를 들면 0.1~4 μm 정도의 단결정 실리콘층(?)으로서 쟝플시킨다. 이때, 기판의 게이트 전극(71)의 측단부(71a)는 완만한 경사면이 되어 있으므로, 이 단상에는 단자(4)에 의한 에피택슬 성장을 저해하지 않고, 단이 끊어질 없이 단결정 실리콘(?)이 성장하게 된다.

이어서, 도 53 (6)에 드시한 바와 같이, 도 42 (6) 내지 43 (8)의 공정을 거친 후, 도 43 (9)와 동일한 공정에서, 포시부의 nMOSTFT의 게이트부를 프토레지스트(13)로 커버하고, 노출된 nMOSTFT의 소스 / 드레인 영역에 인 미온(14)을 드핑(미온 주입)하여, N⁺ 층으로서 이루어지는 LDD부(15)를 자기정합적으로 형성한다. 이 때, 블 게이트 전극(71)이 존재함으로써 포토고저자(또는 패턴)를 의식하기 않고 프토레지스트(13)의 위치 맞출(마스크 맞출)을 행하기 위하여 얼린인던트 얼굴이 잘 생기지 않는다.

이어서, 도 54 (7)에 드시한 바와 같이, 도 44 (10)과 동일한 공정에서, nMOSTFT의 게이트부 및 LDD부를 프토레지스트(16)로 커버하고, 노출된 영역에 인 또는 바소 미온(17)을 드핑(미온 주입)하여 nMOSTFT의 N⁺ 층으로서 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 54 (8)에 드시한 바와 같이, 도 44 (11)과 동일한 공정에서, nMOSTFT 전부를 프토레지스트(20)로 커버하고, 풍소 미온(21)을 드핑(미온 주입)하여 주변 구동 회로부의 pMOSTFT의 P⁺ 층의 소스부 및 드레인부를 형성한다.

이어서, 도 54 (9)에 드시한 바와 같이, 도 44 (12)와 동일한 공정에서, 풍풀 소자부와 수풀 소자부를 마일랜드화하기 위하여, 프토레지스트(24)를 형성하고 단결정 실리콘 박막층을 풍풀 프로리소그래피 및 에칭 기술로 선택적으로 제거한다.

이어서, 도 54 (10)에 드시한 바와 같이, 도 45 (13)과 동일한 공정에서, 흘리즈마 CVD, 고릴드 흘리즈마 CVD, 층매 CVD법 등에 의하여 SiO₂ 막(53)(두께 약 300nm)과 인 실리케이트 유리(PSG) 막(54)(두께 약 300nm)을 이 순서로 전체면에 형성한다. 그리고, SiO₂ 막(53)과 PSG 막(54)은 전술한 보호막(25)에 상당하는 것이다. 그리고, 이 상태에서 단결정 실리콘막을 전술한 바와 동일하게 활성화 처리한다.

이어서, 도 55 (11)에 드시한 바와 같이, 도 45 (14)와 동일한 공정에서, 볼을 프로리소그래피 및 에칭 기술에 의하여 소스부의 콘택트를 형성한다. 그리고, 전체면에 두께 400~500nm의 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 스퍼터 막을 형성하고, 볼을 프로리소그래피 및 에칭 기술에 의하여 TFT의 소스 전극(26)을 형성하는 동시에, 데이터 라인 및 게이트 라인을 형성한다. 그 후, 프팅 가스 중에서 약 400°C / 1h로 신터 처리한다.

이어서, 도 55 (12)에 드시한 바와 같이, 도 45 (15)와 동일한 공정에서, 고릴드 흘리즈마 CVD, 층매 CVD법 등에 의하여 PSG 막(두께 약 300nm) 및 SiN 막(두께 약 300nm)으로 이루어지는 절연막(36)을 전체면에 형성하고 포시용 TFT의 드레인부의 콘택트를 형성한다.

이어서, 도 55 (13)에 드시한 바와 같이, 도 46 (16)과 동일한 공정에서, 소핀 코팅 툴으로 두께 2~3μm의 갈광성 수지막(28)을 형성하고, 도 55 (14)에 드시한 바와 같이, 볼을 프로리소그래피 및 에칭 기술에 의하여 최소한 화소부에 최적의 반사 특성과 시야각 특성을 갖는 유클형상 패턴을 형성하고, 리틀로시켓 유클 조단(28A)으로 이루어지는 반사면 하부를 형성한다. 동시에 포시용 TFT의 드레인부의 콘택트를 수지 향을 형성한다.

이어서, 도 55 (14)에 드시한 바와 같이, 도 46 (18)과 동일한 공정에서, 전체면에 두께 400~500nm의 알루미늄 또는 1% Si가 혼입된 알루미늄 등의 스퍼터 막을 형성하고, 볼을 프로리소그래피 및 에칭 기술에 의하여 포시용 TFT의 드레인부(19)와 접속한 유클 형상의 알루미늄 등의 반사부(29)를 형성한다.

이상과 같이 하여, 층매 CVD법에 의하여 결정성 사파이어 막(50)을 저온 헤터로에피택슬 성장의 시드로 하여 형성된 단결정 실리콘층(?)을 사용한 포시부에 블 게이트형의 nMOSLDD-TFT(주변부에서는 듀얼 게이트형의 pMOSTFT 및 nMOSTFT로 이루어지는 CMOS 구동 회로)를 만들어 넓은 포시부와 주변 구동 회로부

일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

도 56은 표시부에 배설하는 상기한 보통 게이트형 MOSTFT의 게이트 절연막을 Mo/Ta의 음극 산화물으로 형성한 예를 도시한다.

즉, 도 52 (2)의 공정 후에 도 56 (3)에 도시한 바와 같이 쿠리브덴-탄탈 할증막(71)을 공자의 음극 산화 처리를 함으로써 그 표면에 Ta_xN으로 이루어지는 게이트 절연막(74)을 두께 100~200nm으로 형성하다.

미후의 공정은 도 56 (4)에 도시한 바와 같이, 도 53 (4)~(5)의 공정과 동일하게 하여 결정성 사파이어 막(50)을 형성하고, 총매 CVD법에 의하여 단결정 실리콘막(?)을 헤터로에피택설 성장시킨 후, 도 53 (6) 막(?)과 동일한 공정에서, 단결정 실리콘층(?)상의 전체면에 플라즈마 CVD, 총매 CVD 등에 의하여 SiO_x 막(?)과 약 200nm과 SiN 막(두께 약 100nm)을 미 순서로 연속 형성하여 절연막(80)(이것은 전술한 절연막(8)에 상당)을 형성하고, 또한 Mo/Ta 할증의 스팍터 막(81)(두께 500~600nm)(이것은 전술한 스팍터 막(9)에 상당)을 형성한다.

이어, 표시부에서 듀얼 게이트형 MOSTFT를 제조하기 위해서는 먼저 도 52 (1) 내지 53 (5)까지의 공정은 전술한 바와 동일하게 행한다.

즉, 도 57 (6)에 도시한 바와 같이, 절연막(72, 73)상에 결정성 사파이어막(50)을 형성하고, 또한 미 결정성 사파이어막(50)을 시드로 하여 단결정 실리콘층(?)을 헤터로에피택설 성장시킨다. 이어서, 도 43 공정에서, 단결정 실리콘층(?)상의 전체면에 플라즈마 CVD, 총매 CVD 등에 의하여 SiO_x 막(?)과 약 200nm과 SiN 막(두께 약 100nm)을 미 순서로 연속 형성하여 절연막(80)(이것은 전술한 절연막(8)에 상당)을 형성하고, 또한 Mo/Ta 할증의 스팍터 막(81)(두께 500~600nm)(이것은 전술한 스팡터 막(9)에 상당)을 형성한다.

이어, 도 57 (7)에 도시한 바와 같이, 도 43 (8)과 동일한 공정에서, 프트레지스트 패턴(10)을 형성하고, 연속한 예형에 의하여 Mo/Ta 할증의 틀 게이트 전극(82)(이것은 전술한 게이트 전극(12)에 상당)과 게이트 절연막(83)(이것은 전술한 게이트 절연막(11)에 상당)을 형성하여 단결정 실리콘 박막층(?)을 노출시킨다.

이어서, 도 57 (8)에 도시한 바와 같이, 도 43 (9)와 동일한 공정에서, nMOSFT의 틀 게이트부를 프트레지스트(13)로 커버하고, 노출된 표시용 nMOSFT의 소스/드레인 영역에 인 이온(14)을 도핑(미온 주입)하여 N⁺형 층의 LDD부(15)를 형성한다.

이어서, 도 57 (9)에 도시한 바와 같이, 도 44 (10)과 동일한 공정에서, pMOSFT의 게이트부 및 LDD부를 프트레지스트(16)로 커버하고, 노출된 영역에 인 또는 비소 이온(17)을 도핑(미온 주입)하여 pMOSFT의 N⁺층 층으로 이루어지는 소스부(18) 및 드레인부(19)를 형성한다.

이어서, 도 58 (10)에 도시한 바와 같이, 도 44 (11)과 동일한 공정에서, pMOSFT의 게이트부를 프트레지스트(20)로 커버하고, 노출된 영역에 풍소 이온(21)을 도핑(미온 주입)하여 주변 구동 회로부의 pMOSFT의 N⁺층의 소스부 및 드레인부를 형성한다.

이어서, 도 58 (11)에 도시한 바와 같이, 도 44 (12)와 동일한 공정에서, 풍소 소자부와 수동 소자부를 미기판드화하기 위하여, 프트레지스트(24)를 형성하고 풍소 소자부와 수동 소자부 미외의 단결정 실리콘층을 별용 프로토리소그래피 및 예형 기술로 선택적으로 제거한다.

이어서, 도 58 (12)에 도시한 바와 같이, 도 45 (13)과 동일한 공정에서, 플라즈마 CVD, 고밀도 플라즈마 CVD, 총매 CVD법 등에 의하여 SiO_x 막(53)(두께 약 200nm)과 인 실리케이트 유리(PSG) 막(54)(두께 약 300nm)을 전체면에 형성한다. 이를 막(53, 54)은 전술한 트호막(25)에 상당하는 것이다. 그리고, 단결정 실리콘층(?)을 팔성화 처리한다.

이어서, 도 58 (13)에 도시한 바와 같이, 도 45 (14)와 동일한 공정에서, 소스부의 쿤택트층 험을 형성한다. 그리고, 전체면에 두께 400~500nm의 알루미늄 또는 1~2nm의 알루미늄 등의 스팍터 막을 형성한다. 이를 막(53, 54)은 전술한 트호막(25)에 상당하는 것이다. 그리고, 대미터 라인 및 계화 및 빛을 흡수하는 막(55)을 형성한다.

이어서, 도 58 (14)에 도시한 바와 같이, 도 45 (15)와 동일한 공정에서, PSG 막(두께 약 300nm) 및 SiN 막(두께 약 200nm)으로 이루어지는 절연막(36)을 전체면에 형성하고, 표시용 TFT의 드레인부의 쿤택트층 험을 형성한다.

이어서, 도 59 (15)에 도시한 바와 같이, 전체면에 스팽 코팅 등으로 두께 2~3nm의 감광성 수지막(28)을 형성하고, 도 59 (16)에 도시한 바와 같이, 도 46 (17), (18)의 공정과 동일하게, 최소한 화소부에 오염물질(28A)으로 이루어지는 반사면 하부를 형성하고, 동시에 표시용 TFT의 드레인부의 쿤택트층의 수지 험(28B)을 형성하고, 또한 표시용 TFT의 드레인부(19)와 접촉면, 측적의 반사 험(28)을 형성하는 것을 위한 오염물질(28C)을 형성한다.

이상과 같이 하여, 총매 CVD법에 의하여 결정성 사파이어막(50)을 헤터로에피택설 성장의 시드로 하여 결정된 단결정 실리콘층(?)을 사용하고, 표시부에 듀얼 게이트형의 nMOSDD-TFT를, 주변 구동 회로부에 듀얼 게이트형의 pMOSFT 및 nMOSFT로 이루어지는 CMOS 구동 회로를 만들어 넣은 표시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

〈제 11 실시예〉

도 60 내지 62는 본 발명의 제 11 실시예를 도시한 것이다.

본 실시예에서는 전술한 실시예와는 상이하게, 틀 게이트부의 게이트 전극을 알루미늄 등의 비교적 내열성이 낮은 재료로 형성하고 있다.

먼저 표시부 및 주변 구동 회로부에 틀 게이트형 및 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한

제8 실시예에서의 도 41 (1) 내지 42 (6)까지의 공정은 동일하게 행하고, 도 60 (5)에 도시한 바와 같이 주변 구동 회로부의 nMOSFT 부에 N 형 웨이브(7A)를 형성한다.

이어서, 도 60 (7)에 도시한 바와 같이, 주변 구동 영역의 $nMOSFT$ 및 $nMOSFT$ 전부와 표시 영역의 $nMOSFT$ 의 게이트부를 프로레지스트(13)로 커버하고, 노출된 $nMOSFT$ 의 소스 / 드레인 영역에 인이트는 비스 미온(17)을 예를 들면 20kV에서 $5 \times 10^6 \text{ atoms/cm}^2$ 의 드즈량으로 드핑(미온 주입)하여 N 형 충으로 이루어지는 LDD부(15)를 자기정합적으로 형성한다.

이어서, 도 61 (8)에 도시한 바와 같이, 주변 구동 영역의 $nMOSFT$ 전부와 주변 구동 영역의 $nMOSFT$ 의 게이트부와 표시 영역의 $nMOSFT$ 의 게이트 및 LDD부를 프로레지스트(16)로 커버하고, 노출된 영역에 인이트는 비스 미온(17)을 예를 들면 20kV에서 $5 \times 10^6 \text{ atoms/cm}^2$ 의 드즈량으로 드핑(미온 주입)하여, $nMOSFT$ 의 N 형 충으로 이루어지는 소스부(18) 및 드레인부(19)의 LDD부(15)를 형성한다. 이 경우, 가상선으로 나단면 바와 같이 레지스트(13)를 날기고 이것을 굴도록 레지스트(16)를 형성하면, 레지스트(16) 형성 시의 마스크의 위치 맞춤을 레지스트(13)를 기준으로 할 수 있어 마스크 맞춤이 용이하게 되어 얼라인먼트의 어긋남도 적어진다.

이어서, 도 61 (9)에 도시한 바와 같이, 주변 구동 영역의 $nMOSFT$ 및 표시 영역의 $nMOSFT$ 전부와 $nMOSFT$ 의 게이트부를 프로레지스트(20)로 커버하고, 노출된 영역에 풍소 미온(21)을 예를 들면 10kV에서 $5 \times 10^6 \text{ atoms/cm}^2$ 의 드즈량으로 드핑(미온 주입)하여 $pMOSFT$ 의 P 형의 소스부(22) 및 드레인부(23)를 형성한다.

이어서, 레지스트(20)의 제거 후에, 도 61 (10)에 도시한 바와 같이, 단결정 실리콘층(7, 7A)을 전술한 바와 동일하게 활성화 처리하고, 또한 표면에 게이트 절연막(12), 게이트 전극 채로(알루미늄 또는 1% Si가 혼입된 알루미늄 등)(11)를 형성한다. 게이트 전극 채로(11)은 진공 증착법 또는 스퍼터링 법으로 형성 가능하다.

이어서, 전술한 바와 동일하게, 각 게이트부를 패터닝한 후, 흥동 소자부의 수동 소자부를 마일랜드화하고, 또한 도 62 (11)에 도시한 바와 같이, SiO₂ 막(두께 약 200nm) 및 인 실리케이트 유리(PSG) 막(두께 약 300nm)을 이 순서로 전체면에 연속 형성하여 보호막(25)을 형성한다.

이어서, 도 62 (12)에 도시한 바와 같이, 벌집 프로리소그래피 및 예정 기술에 의하여 주변 구동 회로의 모든 TFT의 소스 / 드레인부 및 표시부의 소스부의 콘택트통(창)을 형성한다.

그리고, 전체면에 두께 500~600nm의 알루미늄 등의 스퍼터 막을 형성하고, 벌집 프로리소그래피 및 예정 기술에 의하여 주변 구동 회로 및 표시부의 모든 TFT의 소스 전극(26)과 주변 구동 회로부의 드레인 전극(27)을 형성하는 동시에 대이터 라인 및 게이트 라인을 형성한다. 그 후, 프팅 가스(N₂, H₂) 중에서 약 400°C / 1h로 산더 처리한다.

이어서, 도 45 (15) 내지 46 (18)과 동일하게 하여 단결정 실리콘층(7)을 사용한 표시부 및 주변 구동 회로부에 각각, 알루미늄 또는 1% Si가 혼입된 알루미늄 등을 게이트 전극으로 하는 툴 게이트형의 $nMOSFT$ 및 $pMOSFT$, 듀얼 게이트형의 $nMOSFT$ 및 $nMOSFT$ 를 구성하는 CMOS 구동 회로를 만들어 넓은 표시부와 주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

본 실시예에서는, 단결정 실리콘층(7)의 활성화 처리 후에 알루미늄 또는 1% Si가 혼입된 알루미늄 등을 게이트 전극(11)을 형성하고 있으므로, 그 활성화 처리 사이의 영향은 게이트 전극 채로의 내결정과 반응계가 없기 때문에, 툴 게이트 전극 채로를 비교적 내결정이 낫고 저온수준인 알루미늄 또는 1% Si가 혼입된 알루미늄 또는 종 등으로도 사용 가능하게 되어 전극 채로의 선택의 폭을 넓여진다. 이것은 표시부가 브릴 게이트형 MOSTFT인 경우도 동일하다.

다음에, 표시부에 듀얼 게이트형 MOSTFT, 주변 구동 회로에 듀얼 게이트형 MOSTFT를 배설하는 경우에는, 전술한 제3 실시예에서의 도 29 (6) 내지 31일(13)에서 설명한 공정과 동일하게 행하고, 표시부 및 주변 구동 회로부에 각각, 알루미늄 등을 게이트 전극으로 하는 듀얼 게이트형의 $nMOSLOD-TFT$, $nMOSFT$ 및 $pMOSFT$ 를 구성하는 CMOS 구동 회로를 만들어 넓은 표시부-주변 구동 회로부 일체형의 액티브 매트릭스 기판(30)을 제작할 수 있다.

〈제12 실시예〉

도 63 내지 64는 본 발명의 제12 실시예를 도시한 것이다.

도 63의 예는 전술한 제8 실시예에서, 자기정합형 LDD 구조의 TFT, 예를 들면 툴 게이트형 LDD-TFT를 특수 개연결한 더블 게이트형 MOSTFT에 관한 것이다.

도 64의 예는 보통 게이트형 MOSTFT를 더블 게이트 구조로 한 것(A)과, 듀얼 게이트형 MOSTFT를 더블 게이트 구조로 한 것(B)이다.

이들 더블 게이트형 MOSTFT도, 전술한 도 37 내지 39에서 설명한 것과 동일한 이점을 가진다.

〈제13 실시예〉

도 65 내지 73은 본 발명의 제13 실시예를 도시한 것이다.

전술한 바와 같이, 툴 게이트형, 보통 게이트형, 듀얼 게이트형의 각 TFT는 각각 구조상, 기능상의 차이로 특징이 있으므로 미사를 표시부와 주변 구동 회로부에서 채용할 때, 미사를 각 부 사이에서 TFT를 여러 가지로 조합하여 배설하는 것이 유리한 경우가 있다.

예를 들면 도 65에 도시한 바와 같이, 표시부에 툴 게이트형, 보통 게이트형, 듀얼 게이트형 중 어느 하나의 MOSTFT를 채용한 경우, 주변 구동 회로에는 툴 게이트형 MOSTFT, 보통 게이트형 MOSTFT, 듀얼 게이

트형 MOSTFT 중, 최소한 두열 게이트형을 채용하거나 또는 이들의 조합도 가능하다. 이 조합은 12가지 (No. 1 ~ No. 12)를 수 있다. 특히, 주변 구동 회로의 MOSTFT에 두열 게이트 구조를 사용하는 경우, 이와 같은 두열 게이트 구조는 상기 게이트부의 선택에 의하여 툴 게이트형으로나 트립 게이트형으로 편리하게 편광할 수 있고, 주변 구동 회로의 일부에 큰 구동 능력을 가진 TFT가 필요한 경우에는 두열 게이트형이 필요하게 되는 경우도 있다. 본 발명을 예로 들면, LCD 이외의 전기 광학 장치로서 유기 단이나 TFT 등에 적용하는 경우에는 필요하다고 생각된다.

도 66 내지 도 73은 주변 구동 회로부의 각 MOSTFT의 조합을 채널 드전형별로 도시한 각 예 (No. 1 ~ No. 216)를 도시한다. 도 66 및 도 67은 표시부의 MOSTFT가 LDD 구조가 아닐 때, 도 68 및 도 69는 표시부의 MOSTFT가 LDD 구조일 때, 도 70 및 도 71은 주변 구동 회로부의 MOSTFT가 LDD 구조의 TFT를 포함할 때, 도 72 및 도 73은 주변 구동 회로부와 표시부 양쪽이 LDD 구조의 MOSTFT를 포함할 때를 도시한다.

이와 같이, 도 66에 도시한 게이트 구조별 조합은 구체적으로 도 66 내지 73에 도시한 바와 같이 된다. 이것은 주변 구동 회로부가 툴 게이트형과 다른 게이트형이 조합된 MOSTFT로 이루어져 있는 경우에도 일정 조합이 가능하다. 그리고, 도 65 내지 73에 도시한 TFT의 각종 조합은 TFT의 채널 양역 등을 단계별로 설정하는 경우에 한정되지 않고, 단계별 설정이나 아울러스 실리콘(단, 표시부만)으로 설정하는 경우에도 동일하게 적용 가능하다.

〈제14 실시예〉

도 74 내지 75는 본 발명의 제14 실시예를 도시한 것이다.

본 실시예에서, 액티브 매트릭스 구동 LCD에서 주변 구동 회로부는 구동 능력 향상의 관점에서 본 발명에 의한 전술한 단계별 실리콘층을 사용한 TFT를 배설한다. 단, 이것은 두열 게이트형에 한정되지 않고, 미와 툴 게이트형이 조합될 수도 있고, 채널 드전형도 여러 가지일 수도 있으며, 또 단계별 실리콘층에 미와 툴 게이트형 실리콘층을 사용한 MOSTFT가 포함될 수도 있다. 이에 대하여, 표시부의 MOSTFT는 단계별 실리콘층을 사용하는 것이 바람직하지만, 미에 한정되지 않고, 단계별 실리콘이나 아울러스 실리콘층을 사용하는 경우에도 있고, 또는 3중의 실리콘층의 최소한 2중이 조합된 것일 수도 있다. 단, 표시부를 nMOSTFT로 하면 아울러스 실리콘층을 사용해도 실용적인 스위칭 속도는 엘을 수 있지만, 단계별 실리콘 또는 단계별 실리콘층의 층이 즉각 TFT 단면적을 작게 할 수 있고, 화소 활동을 감소하면서도 아울러스 실리콘보다 유리하고, 미와 설정한 그레포에피택슬 성장 시에 단계별 실리콘뿐 아니라 단계별 실리콘을 동시에 소자와 통신하는 소자의 형성에 사용할 수 있다.

도 74에는 각 부 사미에서의 MOSTFT의 각종 조합 예(A), (B), (C)를 도시하고, 도 75에는 그 구체 예를 예시하였다. 단계별 실리콘을 사용하면 전류 구동 능력이 향상되므로, 소자를 작게 할 수 있고 대화면화가 가능하게 되며 표시부에서는 개구율이 향상된다.

그리고, 주변 구동 회로부에서는 상기의 MOSTFT뿐 아니라, 다이오드, 커패시턴스, 저항, 인덕턴스 등을 질적한 전자 회로가 결연 기판(유리 기판 등)에 일체 형성될 수 있음을 블룸이다.

〈제15 실시예〉

도 76은 본 발명의 제15 실시예를 도시한 것이다.

본 실시예는 전술한 각 실시예가 액티브 매트릭스 구동의 예에 대한 것인 데 대하여, 본 발명을 패시브 매트릭스(pressive matrix) 구동에 적용한 것이다.

즉, 표시부는 전술한 MOSTFT와 같은 스위칭 소자를 배설하지 않고, 대량하는 기판에 형성한 한 쌍의 전극 간에 인가하는 전압에 의한 전위차만으로 표시부의 일상광 또는 반사광이 조광된다. 이러한 조광 소자는 반사형, 투과형 LCD를 비롯하여, 유기 또는 무기 탄(일렉트로루미네센스 표시 소자), FED(전계 방출형 표시 소자), LEPD(발광 플리미터 표시 소자), LED(발광 다이오드 표시 소자), LCD(발광 다이오드 표시 소자) 등도 포함된다.

〈제16 실시예〉

도 77은 본 발명의 제16 실시예를 도시한 것이다.

본 실시예는 본 발명을 LCD 미와의 전기 광학 장치인 음기 또는 무기 탄(일렉트로루미네센스) 소자나 LEPD(전계 방출형 표시 소자), LEPD(발광 플리미터 표시 소자), LED(발광 다이오드 표시 소자) 등에 적용한 것이다.

즉, 도 77 (A)에는 액티브 매트릭스 구동의 탄 소자를 드시하고, 예를 들면 아울러스 유기 화합물을 사용한 무기 탄 층(또는 ZnS : Mn을 사용한 무기 탄 층)(90)을 기판(1)상에 형성하고, 그 하부에 이미 설정한 페인트(110)(41)를 형성하고, 상부에 음극(91)을 형성하여, 이를 양극 간의 전압 인가에 의하여 소정 색의 광광을 필터(61)를 통하여 얻을 수 있다.

아울러, 액티브 매트릭스 구동에 의하여 툴경 전극(41)으로 데이터 전압을 인가하기 위하여, 기판(1)상의 페인트 사파이어막(50) 및 단자(4)를 시드로 하여 층매 CVD법에 의하여 헤테르에피택슬 성장시킨 단계별 실리콘층을 사용한 본 발명에 의한 단계별 실리콘 MOSTFT(즉, nMOSLOO - TFT)가 기판(1)상에 만들어져 있다. 동일한 TFT는 주변 구동 회로에도 배설된다. 이런 소자는 단계별 실리콘층을 사용한 MOSLOO - TFT로 구동하고 있으므로, 스위칭 속도가 빠르고 또 라크 전류도 적다. 그리고, 상기의 필터(61)는 관 층(90)의 특정 색을 광광하는 것이라면 생략 가능하다.

그리고, 탄 소자의 경우, 구동 전압이 높으므로 주변 구동 회로부에는 상기의 MOSTFT 미와에, 고내압의 드리비버 소자(고내압 cMOSFT와 낭비 플란 소자 등)를 배설하는 것이 유리하다.

도 77 (B)는 패시브 매트릭스 구동의 FED를 드시하여, 대량하는 유리 기판(1-32) 사이의 전공분에서 흡전극(92-93) 사이의 인가 전압에 의하여 낭을극(94)으로부터 방출된 전자를 게이트 라인(95)의 선택에 의

하여 대상하는 형광체층(96)으로 입사시키고 소정 색의 빛을 얻는 것이다.

여기에서, 이미터 라인(emitter line)(92)은 주변 구동 회로로 유도되고 데이터 전압으로 구동되지만, 그 주변 구동 회로에는 빛 발광에 따라 단결정 실리콘층을 사용한 MOSTFT가 배설되어 이미터 라인(92)의 빛을 구동에 기여하고 있다. 그리고, 미 FET는 각 화소에 상기의 MOSTFT를 접속함으로써 액티브 매트릭스 구동시키는 것도 가능하다.

그리고, 도 77 (A)의 소자에서, 빛 출(90) 대신 공극의 빛을 풀리미터 사용하면 패시브 매트릭스 또는 액티브 매트릭스 구동의 빛을 풀리미터 표시 장치(LPD)로 구성할 수 있다. 그 외에, 도 77 (B)의 소자에서, 다이아몬드 반도체 소스드 출에 사용한 FET의 유사한 다이아이스드 구성을 수 있다. 또, 빛을 다이오드에서 빛을 분리하는 데 활용에 의하여 에피택슬 성장시킨 단결정 실리콘의 MOSTFT에 의하여, 예를 들면 갈루지(갈륨·알루미늄·비소 등)의 악으로 이루어지는 빛발광부를 구동할 수 있다.

이상 설명한 빛 발광의 실시예는 빛 발광의 기술적 사상에 따라 여러 가지로 변형이 가능하다.

예를 들면, 전술한 촉매 CVD법에 의한 단결정 실리콘막(7)의 형성 시에, 디보란(diborane)(83%), 포스파인(phosphine)(PH₃), 아르신(arsine)(AsH₃), 스티비늄(stibine)(SbH₃) 등을 공급하고, 이 공급 가스의 분해에 의하여 예를 들면 풍소, 인, 안티몬, 비소 등을 단결정 실리콘막(7)에 적합 도질하면, 성장하는 실리콘에 에피택슬 성장층(?)의 P형 또는 N형의 도전형이나, 그 캐리어 증도를 일의로 제어할 수 있다. 또, 단결정 실리콘막(?)은 고밀도 플라즈마 CVD법, 예를 들면 ECR(전자 사이클로트론 공명, Electron Cyclotron Resonance) 플라즈마 CVD 등에 의해서도 형성 가능하다.

또, 유리 기판으로부터의 미온의 확산 방지를 위하여 기판 표면에 SiN 막(예를 들면 두께 50~200nm), 또는 필요에 따라 SiO₂ 막(예를 들면 두께 100nm)을 형성할 수도 있고, 또 미온 액체 이미 촘촘한 바와 같은 단자(4)를 형성할 수도 있다. 전술한 단자는 리온 마이닝(ion milling)법 등에 의해서도 형성 가능하다. 또, 전술한 바와 같이 단자(4)를 기판(1)에 형성하는 마이닝, 결정성 사파이어막 또는 사파이어 기판 자체의 두께 내에 단자(4)를 형성할 수도 있을은 물론이다.

또, 전술한 사파이어(Al₂O₃) 대신, 단결정 실리콘과 격자 정합이 양호한 스파넬 구조체(예를 들면 마그네시아 스파넬(magnesia spinel))(Mg·Al₂O₃), CaF₂, BaF₂, BP, (Y₂O₃), (ZrO₂) 등이 사용 가능하다.

또, 본 발명은 주변 구동 회로의 TFT에 적합한 것이지만, 그 이외에도 다이오드 등의 소자의 높은 영역이 단결정, 커패시턴스, 인덕턴스 등의 수동 영역을 빛 발광에 의한 단결정 실리콘층으로 형성하는 것도 가능하다.

조명의 효과

본 발명에 의하면, 단결정 실리콘과 격자 정합이 양호한 결정성 사파이어막 등의 빛질출을 시드로 하여 촉매 CVD법이나 고밀도 플라즈마 CVD법 등으로 틈의 단결정 실리콘을 헤테로에피택슬 성장시키고, 열대시트 단결정 실리콘층을 표시부와 주변 구동 회로 일체화된 LCD 등의 전기 광학 장치의 주변 구동 회로부의 세미트형 MOSTFT 등에 사용하고 있으므로, 다음의 (A)~(G)에 나온 현저한 작용 효과를 얻을 수 있다.

(A) 단결정 실리온과 격자 정합이 양호한 빛질출(예를 들면 결정성 사파이어막)을 기판에 형성하고, 그 빛질출을 시드로 하여 헤테로에피택슬 성장시킴으로써, 540nm/ $\sqrt{\text{sec}}$ 미상의 빛을 전자 이동의 단결정 실리온층이 열대시트로, 고성능 드라이버를 내장한 표시용 박막 반도체 장치 등의 전기 광학 장치의 제작 가능하게 된다.

(B) 특히, 미 단결정 실리온층에 의한 단결정 실리온 빛질출은 빛을 수위형 특성을 가지고, NMOS 구조를 가지는 nMOS 또는 pMOS 또는 CMOSTFT로 이루어지는 표시부와, 빛의 구동 능력을 가지는 nMOS 또는 pMOS 또는 CMOSTFT 또는 미온의 조합으로 이루어지는 주변 구동 회로를 일체화한 구성이 가능하게 되어 고화질, 고정세, 줄은 프레임에, 고호흡, 빛의 표시 패널이 실현된다.

(C) 특히, 주변 구동 회로로 듀얼 게이트형 MOSTFT를 사용하고 있으므로, 성을 게이트형의 TFT에 비하여 1.5~2배 높은 구동 능력을 가지는 nMOS, pMOS 또는 pMOSTFT를 구성을 수 있어 보다 고성능이며 구동 능력이 큰 TFT가 되고, 특히 주변 구동 회로의 일부에 듀얼 구동 능력을 가지는 TFT가 필요한 경우에는 적합하게 된다. 예를 들면, 주변의 한 쪽의 수직 구동 회로의 한쪽을 생략할 수 있을 뿐 아니라, 빛 발광에 LCO 이외의 전기 광학 장치로서 흑기 모드나 FED 등에 적용하는 경우에 유리하다고 생각된다. 또, 본 발명은 게이트 구조는 상호 게이트부의 선택에 의하여 흰 게이트형이나 브릴 게이트형으로도 총미하게 조정할 수 있고, 또 상호 게이트부의 어느 헬부가 흡착이 불가능하게 되어도 다른 한쪽의 게이트부를 사용할 수 있는 것도 이점이다.

(D) 상기한 빛질출을 헤테로에피택슬 성장의 시드로 사용하고, 또한 이 빛질출상에 촉매 CVD법(촉매를 사용한 화학적 기상 성장: 기판 온도 200~300°C, 특히, 300~400°C) 등의 저온 광학성 기술로 단결정 실리온층을 형성할 수 있으므로, 기판상에 저온으로 단결정 실리온층을 균일하게 형성할 수 있다. 따라서, 엔진이 비교적 낮은 유리 기판이나 내열성 유기 기판 등의 압수하기 쉽고 저코스트이며 빠른 양호한 기판을 사용할 수 있고, 또 기판의 대형화도 가능하게 된다.

(E) 고상 성장법의 경우와 같은 종류에서 장시간의 어닐링이나 앤서저 어닐링이 출발요하게 되므로, 생산성이 높으며 고가인 제조 설비가 필요하여 코스트가 더해지며 가능하게 된다.

(F) 미 헤테로에피택슬 성장에서는 결정성 사파이어막 등의 빛질출의 결정성, 촉매 CVD 등의 가스 조성비, 기판 가열 온도, 액각 속도 등의 조정에 의하여 광발광한 주형 또는 서형 등의 도전형과 고이동드의 단결정 실리온 박막이 증미하게 얻어지므로, Vth 조정이 증미하고 저저항화에 의한 고속 통작이 가능하다.

(6) 또, 출매 CVD 등에 의한 단결정 실리콘의 학 철성 시에 빠른 또는 느린 주족의 률순을 원소(붕소, 인, 안티모니, 비소, 비스미스, 알루미늄 등)를 표기한 가스로부터 개별적으로 적합 도광해두면, 헤터로에피택설정 등에 의한 단결정 실리콘 발막의 률순을 통로 및 / 또는 그 농도, 즉 N형 / P형의 도전형 및 / 또는 캐리어 농도를 일의로 제어할 수 있다.

(H) 결정성 사파이어막 등의 상기 률질총은 다양한 원자의 확산 배리어가 되므로 유리 기판으로부터의 률순을의 확산을 억제할 수 있다.

(5) 청구의 범위

청구항 1. 화소 전극미 배설된 표시부와, 이 표시부의 주변에 배설된 주변 구동 회로부와 제1 기판상에 가지고, 이 제1 기판과 제2 기판과의 사이에 소정의 광학 채로를 개재시켜 이루어지는 전기 광학 장치에 있어서,

상기 제1 기판의 한쪽의 면상에 게이트 전극과 철연막으로 이루어지는 게이트부가 형성되고,

상기 제1 기판의 상기 한쪽의 면상에 단결정 실리콘과 격자(.UTC) 정합이 양호한 률질총이 형성되고,

상기 률질총 및 상기 게이트부를 포함하는 상기 제1 기판상에 단결정 실리콘총이 형성되고,

상기 단결정 실리콘총을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지는 듀얼 게이트형의 제1 박막 트랜지스터가 상기 주변 구동 회로부의 최소한 일부를 구성하고 있는

것을 특징으로 하는 전기 광학 장치.

청구항 2. 제1항에 있어서,

상기 제1 기판으로서 철연기판이 사용되고, 상기 률질총이 사파이어, 스피넬 구조체, 흑화 텔루, 흑화 수비론, 흑화 바륨, 인화 풍소, 산화 마트륨, 산화 자르코늄으로 이루어지는 군으로부터 선정된 률질로 형성되어 있는 전기 광학 장치.

청구항 3. 제1항에 있어서,

상기 단결정 실리콘총의 Ⅲ족(族) 또는 Ⅴ족의 률순을 통로 및 / 또는 그 농도가 제어되어 있는 전기 광학 장치.

청구항 4. 제1항에 있어서,

상기 제1 기판과, 상기 단결정 실리콘총과의 사이에 확산 배리어총이 배설되어 있는 전기 광학 장치.

청구항 5. 제1항에 있어서,

상기 단결정 실리콘총 아래의 상기 게이트부가 그 축단부에서 사다리꼴 형상으로 되어 있는 전기 광학 장치.

청구항 6. 제1항에 있어서,

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 미외에, 단결정 또는 아름모스 실리콘총을 주변부로하고, 미 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 틈 게이트형, 브릴 게이트형 또는 듀얼 게이트형의 박막 트랜지스터, 또는 상기 단결정 실리콘총 또는 단결정 실리콘총 또는 아름모스 실리콘총을 사용한 다이오드, 저항, 커파시舔스, 인더턴스 소자 등이 배설되어 있는 전기 광학 장치.

청구항 7. 제1항에 있어서,

상기 표시부에 있어서, 상기 화소 전극을 스위칭하기 위한 스위칭 소자가 상기 제1 기판상에 배설되어 있는 전기 광학 장치.

청구항 8. 제1항에 있어서,

상기 제1 박막 트랜지스터가 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 틈 게이트형, 브릴 게이트형 또는 듀얼 게이트형 중에서 선정된 최소한 듀얼 게이트형으로 이루어지고, 또한 상기 스위칭 소자가 상기 틈 게이트형, 상기 브릴 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터인 전기 광학 장치.

청구항 9. 제8항에 있어서,

상기 채널 영역의 하부에 배설된 게이트 전극은 내열성 재로로 형성되어 있는 전기 광학 장치.

청구항 10. 제8항에 있어서,

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형(相補型)의 헬리 게이트 전계 효과 트랜지스터를 구성하고 있는 전기 광학 장치.

청구항 11. 제10항에 있어서,

상기 주변 구동 회로부의 상기 박막 트랜지스터가 상보형과 n채널형과의 조(組), 상보형과 p채널형과의 조, 또는 상보형과 n채널형과 p채널형과의 조로 이루어지는 전기 광학 장치.

청구항 12. 제8항에 있어서,

상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터의 최소한 일부가 LDD(Light Doped

Orain) 구조를 가지고, 이 LDD 구조가 게이트와 소스 또는 드레인과의 사이에 LDD부가 존재하는 것을 단일, 또는 게이트와 소스 및 드레인과의 사이에 LDD부를 각각 가지는 더불 단일인 전기 광학 장치.

청구항 13. 제8항에 있어서,

상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터가 상기 게이트 또는 멀티 게이트로 구성되고, 멀티 게이트의 경우에는 채널 영역 내에 20이상의 블기(分岐)된 통일 전위의, 또는 분할된 상이 전위 또는 통일 전위의 게이트 전극을 가지는 전기 광학 장치.

청구항 14. 제8항에 있어서,

상기 주변 구동 회로부 및 / 또는 상기 표시부의 n 또는 p채널형의 박막 트랜지스터가 통일 게이트형일 때, 상부 또는 하부 게이트 전극이 전기적으로 오른으로 되거나 또는 일의의 부(負)전압(p채널형의 경우) 또는 정(正)전압(p채널형의 경우)이 인가되고, 보통 게이트형 또는 블 게이트형의 박막 트랜지스터로서 제작되는 전기 광학 장치.

청구항 15. 제10항에 있어서,

상기 주변 구동 회로부의 박막 트랜지스터가 n채널형, p채널형 또는 상보형의 상기 제1 박막 트랜지스터이고, 상기 표시부의 박막 트랜지스터가 단결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형이고, 다결정 실리콘층을 채널 영역으로 할 때는 p채널형, n채널형 또는 상보형이고, 아몰레스 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형인 전기 광학 장치.

청구항 16. 제1항에 있어서,

상기 제1 기판상에 단차가 형성되고, 이 단차를 포함하는 상기 제1 기판상에 상기 를질층이 형성되고, 이 를질층상에 상기 단결정 실리콘층이 형성되어 있는 전기 광학 장치.

청구항 17. 제16항에 있어서,

단면(斷面)에 있어서 저면에 대하여 층면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 오부(凹部)로 하여 상기 단차가 형성되고, 이 단차가 상기 를질층과 함께 상기 단결정 실리콘층의 에피택셜(epitaxial) 성장사의 시드(seed)로 되어 있는 전기 광학 장치.

청구항 18. 제17항에 있어서,

상기 제1 박막 트랜지스터가, 상기 제1 기판 및 / 또는 그 위의 박에 형성된 상기 단차에 의한 기판 오부 내 및 / 또는 외에 배설되어 있는 전기 광학 장치.

청구항 19. 제16항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일부에 따라 형성되어 있는 전기 광학 장치.

청구항 20. 제1항에 있어서,

상기 를질층상에 단차가 형성되고, 이 단차를 포함하는 상기 를질층상에 상기 단결정 실리콘층이 형성되어 있는 전기 광학 장치.

청구항 21. 제20항에 있어서,

단면에 있어서 저면에 대하여 층면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 오부를 하여 상기 단차가 형성되고, 이 단차가 상기 를질층과 함께 상기 단결정 실리콘층의 에피택셜 성장사의 시드로 되어 있는 전기 광학 장치.

청구항 22. 제20항에 있어서,

상기 제1 박막 트랜지스터가 상기 제1 기판 및 / 또는 그 위의 박에 형성된 상기 단차에 의한 기판 오부 내 및 / 또는 외에 배설되어 있는 전기 광학 장치.

청구항 23. 제20항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일부에 따라 형성되어 있는 전기 광학 장치.

청구항 24. 제3항에 있어서,

상기 제1 기판의 상기 한쪽의 면상에 단차가 형성되고, 이 단차를 포함하는 상기 제1 기판상에 단결정, 단결정 또는 아몰레스 실리콘층이 형성되고, 상기 제2 박막 트랜지스터가 상기 단결정, 단결정 또는 아몰레스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 전기 광학 장치.

청구항 25. 제24항에 있어서,

단면에 있어서 저면에 대하여 층면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 오부를 하여 상기 단차가 형성되고, 이 단차가 상기 단결정 실리콘층의 에피택셜 성장사의 시드로 되어 있는 전기 광학 장치.

청구항 26. 제24항에 있어서,

상기 제1 및 / 또는 제2 박막 트랜지스터의 소스 또는 드레인 전극이 상기 단차를 포함하는 영역상에 형성되어 있는 전기 광학 장치.

청구항 27. 제24에 있어서,

상기 제2 박막 트랜지스터가 상기 제1 기판 및 / 또는 그 위의 각에 형성된 상기 단자에 의한 기판 유통 및 / 또는 회에 배설되어 있는 전기 광학 장치.

청구항 28. 제24항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층의 Ⅲ족 또는 Ⅴ족의 화소를 종류 및 / 또는 그 능도가 제어되어 있는 전기 광학 장치.

청구항 29. 제24항에 있어서,

상기 단자가, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치.

청구항 30. 제24항에 있어서,

상기 단결정, 다결정 또는 아몰퍼스 실리콘층 아래의 게이트 전극이 그 측단부에서 사다리꼴 형상으로 되어 있는 전기 광학 장치.

청구항 31. 제24항에 있어서,

상기 제1 기판과 상기 단결정, 다결정 또는 아몰퍼스 실리콘층과의 사이에 확산 배리어층이 배설되어 있는 전기 광학 장치.

청구항 32. 제1항에 있어서,

상기 제1 기판이 유리 기판 또는 내열성 유기(有機) 기판인 전기 광학 장치.

청구항 33. 제1항에 있어서,

상기 기판이 광학적으로 투명 또는 투명인 전기 광학 장치.

청구항 34. 제1항에 있어서,

상기 화소 전극이 반사형 또는 투과형의 표시부용으로서 배설되어 있는 전기 광학 장치.

청구항 35. 제1항에 있어서,

상기 표시부가 상기 화소 전극과 컬러 필터층과의 적층 구조를 가지고 있는 전기 광학 장치.

청구항 36. 제1항에 있어서,

상기 화소 전극이 반사 전극일 때는, 수지막에 요철(凹凸)이 형성되고, 그 위에 화소 전극이 배설되고, 상기 화소 전극이 투명 전극일 때는 투명 평탄화막에 의해 표면이 평탄화되고, 그 평탄화된 상에 상기 화소 전극이 배설되어 있는 전기 광학 장치.

청구항 37. 제7항에 있어서,

상기 표시부가 상기 스위칭 소자에 의한 구동으로 활광 또는 조광(調光)을 행하도록 구성된 전기 광학 장치.

청구항 38. 제7항에 있어서,

상기 표시부에 특수의 상기 화소 전극이 매트릭스형으로 배설되고, 이를 화소 전극의 각각에 상기 스위칭 소자가 접속되어 있는 전기 광학 장치.

청구항 39. 제1항에 있어서,

액정표시 장치, 일렉트로루미네센스 표시 장치, 전계 방출형 표시 장치, 달광 풀리미 표시 장치, 활광 다이오드 표시 장치 등으로서 구성된 전기 광학 장치.

청구항 40. 화소 전극이 배설된 표시부와, 이 표시부의 주변에 배설된 주변 구동 회로부와를 기판상에 가지는 전기 광학 장치용 구동 기판에 있어서,

상기 제1 기판의 한쪽의 면상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부가 형성되고,

상기 제1 기판의 상기 한쪽의 면상에 단결정 실리콘과 격자 광학이 양호한 룰질층이 형성되고,

상기 룰질층 및 상기 게이트부를 포함하는 상기 제1 기판상에 단결정 실리콘층이 형성되고,

상기 단결정 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지는 두 개의 게이트형의 제1 박막 트랜지스터가 상기 주변 구동 회로부의 최소한 일부를 구성하고 있는

것을 특징으로 하는 전기 광학 장치용 구동 기판.

청구항 41. 제40항에 있어서,

상기 기판으로서 절연기판이 사용되고, 상기 룰질층이 사파이어, 스피넬 구조체, 흐화 칼슘, 흐화 스트론튬, 흐화 바륨, 일화 풍소, 산화 마트륨, 산화 지르코늄으로 이루어지는 굳으로부터 선정된 룰질로 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 42. 제40항에 있어서,

상기 단결정 실리콘층의 Ⅲ족 또는 Ⅴ족의 화소를 종류 및 / 또는 그 능도가 제어되어 있는 전기 광학 장

처용 구동 기판.

청구항 43. 제40항에 있어서.

상기 기판과 상기 단결정 실리콘층과의 사이에 광산 배리어층이 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 44. 제40항에 있어서.

상기 단결정 실리콘층 아래의 상기 게이트부가 그 축단부에서 사다리를 형상으로 되어 있는 전기 광학 장치용 구동 기판.

청구항 45. 제40항에 있어서.

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 미외에, 단결정 또는 아몰퍼스 실리콘층을 상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 미외에, 단결정 또는 아몰퍼스 실리콘층을 상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 미외에, 단결정 또는 아몰퍼스 실리콘층을 상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 미외에, 단결정 또는 아몰퍼스 실리콘층을 상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 미외에, 단결정 또는 아몰퍼스 실리콘층을 사용한 단이오드, 저항, 커패시턴스, 인덕턴스 소자들이 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 46. 제40항에 있어서.

상기 표시부에 있어서, 상기 핵소 전극을 스위칭하기 위한 스위칭 소자가 상기 기판상에 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 47. 제46항에 있어서.

상기 제1 박막 트랜지스터가 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 를 게이트형, 브렐 게이트형 또는 듀얼 게이트형 중에서 선정된 최소한 유일 게이트형으로 이루어지고, 또한 상기 스위칭 소자가 를 게이트형, 상기 듀얼 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터인 전기 광학 장치용 구동 기판.

청구항 48. 제46항에 있어서.

상기 채널 영역의 하부에 배설된 게이트 전극은 내열성 재료로 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 49. 제47항에 있어서.

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터가 0채널형, 9채널형 또는 상보형의 철연 게이트 전계 효과 트랜지스터를 구성하고 있는 전기 광학 장치용 구동 기판.

청구항 50. 제49항에 있어서.

상기 주변 구동 회로부의 상기 박막 트랜지스터가 상보형과 0채널형과의 조, 상보형과 9채널형과의 조, 또는 상보형과 0채널형과 9채널형과의 조로 이루어지는 전기 광학 장치용 구동 기판.

청구항 51. 제47항에 있어서.

상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터의 최소한 일부가 100구조를 가지고, 이 100구조가 게이트와 소스 또는 드레인과의 사이에 100부가 존재하는 상을 단일, 또는 게이트와 소스 및 드레인과의 사이에 100부를 각각 가지는 를 단일인 전기 광학 장치용 구동 기판.

청구항 52. 제47항에 있어서.

상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터가 상을 게이트 또는 월티 게이트로 구성하고, 월티 게이트의 경우에는 채널 영역 내에 200상의 블라인드 통일 전위의 또는 200상의 전위의 전위의 전위를 가지는 전기 광학 장치용 구동 기판.

청구항 53. 제47항에 있어서.

상기 주변 구동 회로부 및 / 또는 상기 표시부의 0 또는 9 채널형의 박막 트랜지스터가 듀얼 게이트형일 때는 상부 또는 하부 게이트 전극이 전기적으로 유통으로 되거나 또는 일의 부전압(0채널형의 경우) 또는 일의 부전압(9채널형의 경우)이 인가되고, 브렐 게이트형 또는 를 게이트형의 박막 트랜지스터로서 통작되는 전기 광학 장치용 구동 기판.

청구항 54. 제49항에 있어서.

상기 주변 구동 회로부의 박막 트랜지스터가 0채널형, 9채널형 또는 상보형의 상기 제1 박막 트랜지스터가 단결정 실리콘층을 채널 영역으로 할 때는 0채널형, 9채널형 또는 상보형이고, 상기 표시부의 박막 트랜지스터가 단결정 실리콘층을 채널 영역으로 할 때는 0채널형, 9채널형 또는 상보형이고, 단결정 실리콘층을 채널 영역으로 할 때는 0채널형, 9채널형 또는 상보형이고, 아몰퍼스 실리콘층을 채널 영역으로 할 때는 0채널형, 9채널형 또는 상보형인 전기 광학 장치용 구동 기판.

청구항 55. 제40항에 있어서.

상기 기판상에 단자가 형성되고, 이 단자를 포함하는 상기 기판상에 상기 를 질층이 형성되고, 이 를 질층 상에 상기 단결정 실리콘층이 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 56. 제55항에 있어서.

단면에 있어서 세면에 대하여 출면이 직각 형상 또는 하단축으로 경사 형상으로 되도록 한 요부를 하여 상기 단자가 형성되고, 이 단자가 상기 를 질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 되어 있는 전기 광학 장치용 구동 기판.

청구항 57. 제56항에 있어서,

상기 제1 박막 트랜지스터가 상기 기판 및 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 유포 내 및 / 또는 외에 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 58. 제55항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 59. 제40항에 있어서,

상기 률질총에 단차가 형성되고, 이 단차를 포함하는 상기 률질총상에 상기 단결정 실리콘총이 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 60. 제59항에 있어서,

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 유포로 하여 상기 단차가 형성되고, 이 단차가 상기 률질총과 함께 상기 단결정 실리콘총의 에피택셜 성장시의 시드로 되어 있는 전기 광학 장치용 구동 기판.

청구항 61. 제59항에 있어서,

상기 제1 박막 트랜지스터가 상기 기판 및 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 유포 내 및 / 또는 외에 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 62. 제59항에 있어서,

상기 단차가, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 63. 제47항에 있어서,

상기 기판의 상기 한쪽의 연상에 단차가 형성되고, 이 단차를 포함하는 상기 기판상에 단결정, 다결정 또는 마를퍼스 실리콘총이 형성되고, 상기 제2의 박막 트랜지스터가 상기 단결정, 다결정 또는 마를퍼스 실리콘총을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 전기 광학 장치용 구동 기판.

청구항 64. 제63항에 있어서,

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 유포로 하여 상기 단차가 형성되고, 이 단차가 상기 단결정 실리콘총의 에피택셜 성장시의 시드로 되어 있는 전기 광학 장치용 구동 기판.

청구항 65. 제63항에 있어서,

상기 제1 및 / 또는 제2 박막 트랜지스터의 소스 또는 드레인 전극이 상기 단차를 포함하는 영역상에 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 66. 제63항에 있어서,

상기 제2 박막 트랜지스터가 상기 기판 및 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 유포 내 및 / 또는 외에 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 67. 제63항에 있어서,

상기 단결정, 다결정 또는 마를퍼스 실리콘총의 V족 또는 V족의 률순을 중류 및 / 또는 그 농도가 제어되어 있는 전기 광학 장치용 구동 기판.

청구항 68. 제63항에 있어서,

상기 단차가, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일면에 따라 형성되어 있는 전기 광학 장치용 구동 기판.

청구항 69. 제63항에 있어서,

상기 단결정, 다결정 또는 마를퍼스 실리콘총 아래의 게이트 전극이 그 축단부에서 사다리꼴 형상으로 되어 있는 전기 광학 장치용 구동 기판.

청구항 70. 제63항에 있어서,

상기 기판과 상기 단결정, 다결정 또는 마를퍼스 실리콘총과의 사이에 확산 배리어총이 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 71. 제40항에 있어서,

상기 기판이 유리 기판 또는 내열성 유기 기판인 전기 광학 장치용 구동 기판.

청구항 72. 제40항에 있어서,

상기 기판이 광학적으로 률투명 또는 률명인 전기 광학 장치용 구동 기판.

청구항 73. 제40항에 있어서,

상기 화소 전극이 반사형 또는 투과형의 표시부층으로서 배설되어 있는 전기 광학 장치용 구동 기판.

청구항 74. 제40항에 있어서,

상기 표시부가 상기 화소 전극과 헬리 플터층과의 접촉 구조를 가지고 있는 전기 광학 장치를 구동 기판.

청구항 75. 제40항에 있어서,

상기 화소 전극이 발사 전극일 때는, 수지막에 유클리드 형성되고, 그 위에 화소 전극이 배설되고, 또 상기 화소 전극이 투명 전극일 때는, 투명 평탄화막에 의해 표면이 평탄화되고, 그 평탄화면상에 상기 화소 전극이 배설되어 있는 전기 광학 장치를 구동 기판.

청구항 76. 제46항에 있어서,

상기 표시부가 상기 스위칭 소자에 의한 구동으로 활광 또는 조광을 행하드를 구성된 전기 광학 장치를 구동 기판.

청구항 77. 제46항에 있어서,

상기 표시부에 특수의 상기 화소 전극이 매트릭스형으로 배열되고, 이를 화소 전극의 각각에 상기 스위칭 소자가 접속되어 있는 전기 광학 장치를 구동 기판.

청구항 78. 제40항에 있어서,

액정표시 장치, 일렉트로루미네센스장치, 전계 방출형 표시 장치 또는 활광 풀리미드 표시 장치 등으로서 구성된 전기 광학 장치를 구동 기판.

청구항 79. 화소 전극이 배설된 표시부인, 이 표시부의 주변에 배설된 주변 구동 회로부와를 제1 기판상에 가지고, 이 제1 기판과 제2 기판과의 사이에 소정의 광학 채로를 개재시켜 이루어지는 전기 광학 장치의 제조 방법에 있어서,

상기 제1 기판의 한쪽의 면상에 게이트 전극과 게이트 절연막으로 이루어지는 게이트부를 형성하는 공정과,

상기 게이트부를 포함하는 상기 제1 기판상에, 축매 CVD법 또는 고밀도 툴란즈마 CVD법 등에 의해 상기 게이트부를 제거로 하여 단결정 실리콘층을 헤테로에피택사(heteroepitaxial) 성장시키는 공정과,

상기 단결정 실리콘층에 소정의 처리를 행하여 채널 영역, 소스 영역 및 드레인 영역를 형성하는 공정과, 상기 채널 영역의 상부 및 하부에 상기 게이트부를 각각 가지고, 상기 주변 구동 회로부의 최소한 일부를 구성하는 듀얼 게이트형의 제1 낙악 트랜지스터를 형성하는 공정

으로 이루어지는 것을 특징으로 하는 전기 광학 장치의 제조 방법.

청구항 80. 제79항에 있어서,

상기 제1 기판으로서 젤연기판을 사용하고, 상기 쿠诘층을 사파이어, 스파넬 구조체, 흐화 칼슘, 흐화 스플론트, 흐화 바륨, 인화 풍선, 산화 마트를 및 산화 티로코늄으로 이루어지는 글로우부터 선정된 쿠诘층을 형성하는 전기 광학 장치의 제조 방법.

청구항 81. 제79항에 있어서,

상기 단결정 실리콘층을 200~300°C에서 형성하는 전기 광학 장치의 제조 방법.

청구항 82. 제79항에 있어서,

상기 축매 CVD법에 의한 상기 단결정 실리콘층의 형성시, 수소화 규소를 주성분으로 하는 가스를 가열 축매체에 접촉시켜 분해시키고, 상기 제1 기판상에 상기 단결정 실리콘층을 형성시키는 전기 광학 장치의 제조 방법.

청구항 83. 제82항에 있어서,

상기 수소화 규소로서 드노실란, 디실란, 트리실란 및 테트라실란 등의 실란계 가스를 사용하고, 상기 축매체로서 헬륨, 산화트를 활용하는 헬륨, 헬륨, 헬륨, 헬륨, 헬륨, 헬륨, 알루미나, 흙속을 포함한 세라믹스, 및 탄화구소로 이루어지는 글로우부터 선정된 최소한 1종의 채로를 사용하는 전기 광학 장치의 제조 방법.

청구항 84. 제79항에 있어서,

상기 단결정 실리콘층의 철막시에 III족 또는 V족의 쿠诘층을 원소를 혼입시키고, 미로써 상기 단결정 실리콘층의 쿠诘층을 증류 및/또는 그 농도를 제어하는 전기 광학 장치의 제조 방법.

청구항 85. 제79항에 있어서,

상기 제1 기판상에 확산 배리어층을 형성하고, 그 위에 상기 단결정 실리콘층을 형성하는 전기 광학 장치의 제조 방법.

청구항 86. 제79항에 있어서,

상기 단결정 실리콘층 아래의 상기 게이트 전극을 그 축단부에서 사다리를 형상으로 하는 전기 광학 장치의 제조 방법.

청구항 87. 제79항에 있어서,

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 아래에, 단결정 또는 아몰퍼스 실리콘 층을 게이트형, 브릴 게이트형, 또는 듀얼 게이트형의 박막 트랜지스터, 또는 상기 단결정 실리콘 층 또는 단결정 실리콘 층을 사용한 다이오드, 저항, 커패시턴스, 인덕턴스 소자를 해설하는 전기 광학 장치의 제조 방법.

청구항 88. 제79항에 있어서,

상기 표시부에 있어서, 상기 화소 전극을 소위칭하기 위한 소위칭 소자를 상기 제1 기판상에 배설하는 전기 광학 장치의 제조 방법.

청구항 89. 제88항에 있어서,

상기 제1 박막 트랜지스터를, 채널 영역의 상부 및/ 또는 하부에 게이트부를 가지는 브릴 게이트형, 또는 듀얼 게이트형 중에서 선정된 적소한 듀얼 게이트형으로 하고, 또한 상기 소위칭 소자를 상기 브릴 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 90. 제89항에 있어서,

상기 채널 영역의 하부에 배설된 게이트 전극을 내열성 재료로 형성하는 전기 광학 장치의 제조 방법.

청구항 91. 제89항에 있어서,

상기 제2 박막 트랜지스터가, 브릴 게이트형 또는 듀얼 게이트형일 때는 상기 채널 영역의 하부에 내열 재료로 이루어지는 하부 게이트 전극을 배설하고, 이 게이트 전극상에 게이트 절연막을 형성하여 하부 이트부를 형성한 후, 상기 퀀텀 채널 형성 흉정을 포함하여 상기 제1 박막 트랜지스터의 광정을 쳐 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 92. 제91항에 있어서,

상기 하부 게이트부상에 상기 단결정 실리콘 층을 형성한 후, 이 단결정 실리콘 층에 Ⅲ족 또는 Ⅳ족의 원소를 도입하고, 소스 및 드레인 영역을 형성한 후, 광정화 처리를 행하는 전기 광학 장치의 제조 방법.

청구항 93. 제92항에 있어서,

상기 단결정 실리콘 층의 형성 후 레지스트를 마스크로 하여 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 상기 퀀텀 채널을 원소의 미온 주입으로 형성하고, 이 미온 주입을 상기 광정화 처리를 행하고, 게이트 절연막의 형성 후, 상기 제1 박막 트랜지스터의 상부 게이트 전극과, 필요하다면 상기 제2 박막 트랜지스터의 상부 게이트 전극을 형성하는 전기 광학 장치의 제조 방법.

청구항 94. 제89항에 있어서,

상기 제2 박막 트랜지스터가 브릴 게이트형일 때, 상기 단결정 실리콘 층의 형성 후 레지스트를 마스크로 하여 상기 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 원소의 미온 주입으로 형성하고, 이 미온 주입을 광정화 처리를 행하고, 그 후 상기 제1 및 제2 박막 트랜지스터의 게이트 절연막과 게이트 전극으로 이루어지는 각 게이트부를 형성하는 전기 광학 장치의 제조 방법.

청구항 95. 제89항에 있어서,

상기 제2 박막 트랜지스터가 브릴 게이트형일 때, 상기 단결정 실리콘 층의 형성 후 상기 제1 및 제2 박막 트랜지스터의 각 게이트 절연막과 내열성 재료로 이루어지는 각 게이트 전극과를 형성하여 각 게이트부를 형성하고, 미를 게이트부 및 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 퀀텀 채널을 원소의 미온 주입으로 형성하고, 이 미온 주입 후 상기 광정화 처리를 행하는 전기 광학 장치의 제조 방법.

청구항 96. 제89항에 있어서,

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터로서 n채널형, p채널형 또는 상트형의 절연 게이트 전극과 트랜지스터를 구성하는 전기 광학 장치의 제조 방법.

청구항 97. 제96항에 있어서,

상기 주변 구동 회로부의 상기 박막 트랜지스터를 상트형과 n채널형과의 조, 상트형과 p채널형과의 조, 또는 상트형과 n채널형과 p채널형과의 조로 형성하는 전기 광학 장치의 제조 방법.

청구항 98. 제92항에 있어서,

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터의 최소한 일부를 100 구조로 하고, 이 100구조를 게이트와 소스 또는 드레인과의 사이에 100부가 존재하는 실루타입, 또는 게이트와 소스 및 드레인과의 사이에 100부를 각각 가지는 더블 탄입으로 하는 전기 광학 장치의 제조 방법.

청구항 99. 제98항에 있어서,

상기 100구조를 형성할 때 사용한 레지스트 마스크를 날기고, 이것을 닦는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 미온 주입을 행하는 전기 광학 장치의 제조 방법.

청구항 100. 제99항에 있어서,

상기 100구조를 형성할 때 사용한 레지스트 마스크를 날기고, 이것을 닦는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 미온 주입을 행하는 전기 광학 장치의 제조 방법.

트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 101. 제100항에 있어서,

상기 주변 구동 회로부의 박막 트랜지스터를 n채널형, p채널형 또는 상보형의 상기 제1 박막 트랜지스터를 하고, 상기 표시부의 박막 트랜지스터를 단결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형으로 하고, 단결정 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형으로 하여, 아몰레스 실리콘층을 채널 영역으로 할 때는 n채널형, p채널형 또는 상보형으로 하는 전기 광학 장치의 제조 방법.

청구항 102. 제79항에 있어서,

상기 제1 기판상에 단차를 형성하고, 이 단차를 포함하는 상기 제1 기판상에 상기 률질층을 형성하고, 미 률질층상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치의 제조 방법.

청구항 103. 제102항에 있어서,

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 요부로 하여 상기 단차를 형성하고, 이 단차를 상기 률질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장치의 제조 방법.

청구항 104. 제102항에 있어서,

상기 제1 박막 트랜지스터를, 상기 제1 기판 및 / 또는 그 위의 막에 형성한 상기 단차에 의한 기판 요부 내 및 / 또는 외에 배설하는 전기 광학 장치의 제조 방법.

청구항 105. 제102항에 있어서,

상기 단차를, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일번에 따라 형성하는 전기 광학 장치의 제조 방법.

청구항 106. 제79항에 있어서,

상기 률질층에 단차를 형성하고, 이 단차를 포함하는 상기 률질층상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치의 제조 방법.

청구항 107. 제106항에 있어서,

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 요부로 하여 상기 단차를 형성하고, 이 단차를 상기 률질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장치의 제조 방법.

청구항 108. 제106항에 있어서,

상기 제1 박막 트랜지스터를 상기 제1 기판 및 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 요부 내 및 / 또는 외에 배설하는 전기 광학 장치의 제조 방법.

청구항 109. 제106항에 있어서,

상기 단차를, 상기 제1 박막 트랜지스터의 상기 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일번에 따라 형성하는 전기 광학 장치의 제조 방법.

청구항 110. 제106항에 있어서,

상기 제1 기판의 상기 한쪽의 단상에 단차를 형성하고, 이 단차를 포함하는 상기 제1 기판상에 단결정, 단결정 또는 아몰레스 실리콘층을 형성하고, 상기 단결정, 단결정 또는 아몰레스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 그 상부 및 / 또는 하부에 게이트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치의 제조 방법.

청구항 111. 제106항에 있어서,

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 경사 형상으로 되도록 한 요부로 하여 상기 단차를 형성하고, 이 단차를 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장치의 제조 방법.

청구항 112. 제106항에 있어서,

상기 제1 및 / 또는 제2 박막 트랜지스터의 소스 또는 드레인 전극을 상기 단차를 포함하는 영역상에 형성하는 전기 광학 장치의 제조 방법.

청구항 113. 제106항에 있어서,

상기 제2 박막 트랜지스터를 상기 제1 기판 및 / 또는 그 위의 막에 형성된 상기 단차에 의한 기판 요부 내 및 / 또는 외에 배설하는 전기 광학 장치의 제조 방법.

청구항 114. 제106항에 있어서,

상기 단결정, 단결정 또는 아몰레스 실리콘층의 III족 또는 V족의 불순을 종류 및 / 또는 그 농도를 제어하는 전기 광학 장치의 제조 방법.

청구항 115. 제106항에 있어서,

상기 단차를, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일번에 따라 형성하는 전기 광학 장치의 제조 방법.

상기 구동 기판의 제조 방법.

청구항 131. 제 12항에 있어서,

상기 단결정 실리콘층의 성막시에 III족 또는 4족의 불순물을 혼입시키고, 미르써 상기 단결정 실리콘층의 불순물을 제거하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 132. 제 12항에 있어서,

상기 기판상에 확산 배리어층을 형성하고, 그 위에 상기 단결정 실리콘층을 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 133. 제 12항에 있어서,

상기 단결정 실리콘층 아래의 상기 게이트 전극을 그 측단부에서 사다리를 형상으로 하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 134. 제 12항에 있어서,

상기 주변 구동 회로부에 있어서, 상기 제1 박막 트랜지스터 이외에, 단결정 또는 마이크로 실리콘층을 채널 영역으로 하고, 이 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 툴 게이트형, 브렐 게이트형 또는 듀얼 게이트형의 박막 트랜지스터, 또는 상기 단결정 실리콘층 또는 단결정 실리콘층 또는 마이크로 실리콘층을 사용한 다이오드, 저항, 커패시턴스, 인더던스 소자 등을 배설하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 135. 제 12항에 있어서,

상기 표시부에 있어서, 상기 화소 전극을 스위칭하기 위한 스위칭 소자를 상기 기판상에 배설하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 136. 제 135항에 있어서,

상기 제1 박막 트랜지스터를, 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 툴 게이트형, 브렐 게이트형 또는 듀얼 게이트형 중에서 선정된 최소한 듀얼 게이트형으로 하고, 또한 상기 스위칭 소자를 상기 툴 게이트형, 상기 브렐 게이트형 또는 상기 듀얼 게이트형의 제2 박막 트랜지스터를 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 137. 제 136항에 있어서,

상기 채널 영역의 하부에 배설된 게이트 전극을 내열성 재료로 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 138. 제 136항에 있어서,

상기 제2 박막 트랜지스터가, 브렐 게이트형 또는 듀얼 게이트형일 때는 상기 채널 영역의 하부에 내열 채널을 이루어지는 하부 게이트 전극을 배설하고, 이 게이트 전극상에 게이트 절연막을 형성하여 하부 게이트부를 형성한 후, 상기 단자와 형성 공정을 포함하여 상기 제1 박막 트랜지스터와 공정을 거친 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 139. 제 136항에 있어서,

상기 하부 게이트부상에 상기 단결정 실리콘층에 III족 또는 4족의 불순물을 도입하고, 소스 및 드레인 영역을 형성한 후, 활성화 처리를 행하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 140. 제 139항에 있어서,

상기 단결정 실리콘층의 형성 후 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 드레인 영역을 상기 불순을 원소의 이온 주입으로 형성하고, 이 이온 주입 후 상기 광학 장치용 구동 기판의 제2 박막 트랜지스터의 상부 게이트 전극과 필요하다면 상기 제2 박막 트랜지스터의 상부 게이트 전극을 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 141. 제 136항에 있어서,

상기 제2 박막 트랜지스터가 툴 게이트형일 때, 상기 단결정 실리콘층의 형성 후 레지스트를 마스크로 하여 상기 제2 박막 트랜지스터의 각 소스 및 드레인 영역을 불순을 원소의 이온 주입으로 형성하고, 이 이온 주입 후 광학 장치용 구동 기판의 제1 및 제2 박막 트랜지스터의 게이트 절연막과 게이트 전극으로 이루어지는 각 게이트부를 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 142. 제 136항에 있어서,

상기 제2 박막 트랜지스터가 툴 게이트형일 때, 상기 단결정 실리콘층의 형성 후 상기 제1 및 제2 박막 트랜지스터의 각 게이트 절연막과 내열성 재료로 이루어지는 각 게이트 전극을 형성하여 각 게이트부를 형성하고, 이를 게이트부 및 레지스트를 마스크로 하여 상기 제1 및 제2 박막 트랜지스터의 각 소스 드레인 영역을 불순을 원소의 이온 주입으로 형성하고, 이 이온 주입 후 상기 광학 장치용 구동 기판의 제2 박막 트랜지스터의 상부 게이트 전극을 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 143. 제 136항에 있어서,

상기 주변 구동 회로부 및 상기 표시부의 박막 트랜지스터로서 n채널형, p채널형 또는 상보형의 절연 게이트 전계 효과 트랜지스터를 구성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 144. 제143항에 있어서.

상기 주변 구동 회로부의 상기 박막 트랜지스터를 상트형과 n채널형과의 조, 상트형과 p채널형과의 조, 또는 상트형과 n채널형과 p채널형과의 조로 형성하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 145. 제139항에 있어서.

상기 주변 구동 회로부 및 / 또는 상기 표시부의 박막 트랜지스터의 최소한 일부를 100 구조로 하고, 미 100구조를 게이트와 소스 또는 드레인과의 사이에 100부가 존재하는 상을 단입, 또는 게이트와 소스 또는 드레인과의 사이에 100부를 각각 가지는 더를 단입으로 하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 146. 제145항에 있어서.

상기 100구조를 형성할 때 사용한 레지스트 마스크를 높기고, 이것을 달는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 이온 주입을 행하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 147. 제145항에 있어서.

상기 100구조를 형성할 때 사용한 레지스트 마스크를 높기고, 이것을 달는 레지스트 마스크를 사용하여 소스 영역 및 드레인 영역 형성용의 이온 주입을 행하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 148. 제147항에 있어서.

상기 기판의 한쪽의 면상에 단결정, 다결정 또는 아몰퍼스 실리콘층을 형성하고, 상기 단결정, 다결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 그 상부 및 / 또는 하부에 게이트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 149. 제129항에 있어서.

상기 기판상에 단차를 형성하고, 이 단차를 포함하는 상기 기판상에 상기 률질층을 형성하고, 이 률질층 상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 150. 제149항에 있어서.

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 중사 형상으로 되도록 한 오부를 하여 상기 단차를 형성하고, 이 단차를 상기 률질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 151. 제149항에 있어서.

상기 제1 박막 트랜지스터를 상기 기판 및 / 또는 그 위의 락에 형성한 상기 단차에 의한 기판 요부 내 및 / 또는 외에 배설하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 152. 제149항에 있어서.

상기 단차를, 상기 제1 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일부에 따라 형성하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 153. 제126에 있어서.

상기 률질층에 단차를 형성하고, 이 단차를 포함하는 상기 률질층 상에 상기 단결정 실리콘층을 형성하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 154. 제153항에 있어서.

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 중사 형상으로 되도록 한 오부를 하여 상기 단차를 형성하고, 이 단차를 상기 률질층과 함께 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 155. 제153항에 있어서.

상기 제2 박막 트랜지스터를 상기 제1 기판 및 / 또는 그 위의 락에 형성된 상기 단차에 의한 기판 요부 내 및 / 또는 외에 배설하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 156. 제153항에 있어서.

상기 단차를, 상기 제1 박막 트랜지스터의 채널 영역, 소스 영역 및 드레인 영역에서 형성되는 소자 영역의 최소한 일부에 따라 형성하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 157. 제149항에 있어서.

상기 기판의 한쪽의 면상에 단차를 형성하고, 이 단차를 포함하는 상기 기판상에 단결정, 다결정 또는 아몰퍼스 실리콘층을 형성하고, 상기 단결정, 다결정 또는 아몰퍼스 실리콘층을 채널 영역, 소스 영역 및 드레인 영역으로 하고, 상기 채널 영역의 상부 및 / 또는 하부에 게이트부를 가지는 상기 제2 박막 트랜지스터를 형성하는 전기 광학 장치를 구동 기판의 제조 방법.

청구항 158. 제157항에 있어서.

단면에 있어서 저면에 대하여 축면이 직각 형상 또는 하단층으로 중사 형상으로 되도록 한 오부를 하여 상기 단차를 형성하고, 이 단차를 상기 단결정 실리콘층의 에피택셜 성장시의 시드로 하는 전기 광학 장

치종 구동 기판의 제조 방법

청구항 159. 제15항에 있어서,

상기 제1 및 / 또는 제2 박막 트랜지스터의 소스 또는 드레인 전극을 상기 단차를 포함하는 영역상에 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 160. 제15항에 있어서,

상기 제2 박막 트랜지스터를 상기 제1 기판 및 / 또는 그 위의 락에 형성된 상기 단차에 인한 기판 유후면 및 / 또는 외에 배설하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 161. 제14항에 있어서,

상기 단결정, 다결정 또는 마들퍼스 실리콘층의 Ⅲ족 또는 Ⅴ족의 원소를 종류 및 / 또는 그 농도를 제어하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 162. 제15항에 있어서,

상기 단차를, 상기 제2 박막 트랜지스터의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역에서 형성되는 소자 영역의 최소한 일정에 따라 형성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 163. 제14항에 있어서,

상기 단결정, 다결정 또는 마들퍼스 실리콘층 아래의 게이트 전극을 그 측단부에서 사다리꼴 형상으로 하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 164. 제14항에 있어서,

상기 기판과, 상기 단결정, 다결정 또는 마들퍼스 실리콘층과의 사이에 확산 배리어층을 배설하는 전기 광학 장치의 제조 방법.

청구항 165. 제126항에 있어서,

상기 기판을 유리 기판 또는 내열성 유기 기판으로 하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 166. 제126항에 있어서,

상기 기판을 광학적으로 투명으로 하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 167. 제126항에 있어서,

상기 화소 전극을 반사형 또는 투과형의 표시부층으로서 배설하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 168. 제126항에 있어서,

상기 표시부에 상기 화소 전극과 컬러 필터층과의 적층 구조를 배설하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 169. 제126항에 있어서,

상기 화소 전극이 반사 전극일 때는, 수지막에 유클리를 형성하고, 그 위에 화소 전극을 배설하고, 또 상기 화소 전극이 투명 전극일 때는 투명한 화학에 의해 표면을 평탄화하고, 그 평탄화된 상에 상기 화소 전극을 배설하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 170. 제135항에 있어서,

상기 표시부를 상기 스위칭 소자에 의한 구동으로 칼광 또는 조광을 행하도록 구성하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 171. 제135항에 있어서,

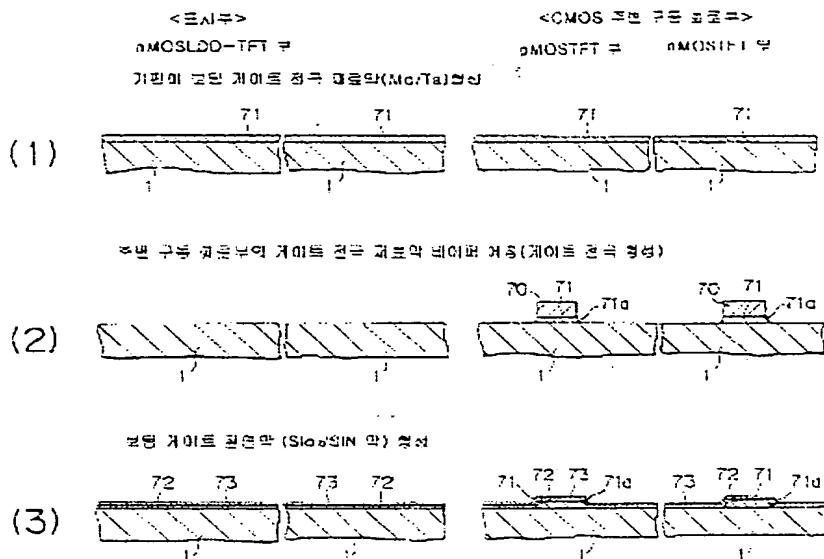
상기 표시부에 복수의 상기 화소 전극을 매트릭스형으로 배설하고, 이를 화소 전극의 각각에 상기 스위칭 소자를 접속하는 전기 광학 장치용 구동 기판의 제조 방법.

청구항 172. 제126항에 있어서,

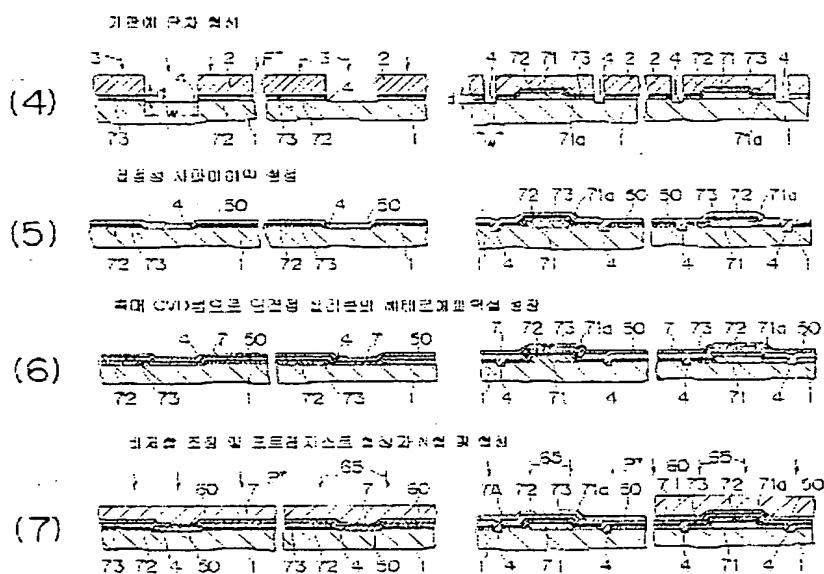
액정표시 장치, 일렉트로루미네센스 표시 장치, 전계 발광형 표시 장치, 칼광 툴리미 표시 장치, 칼광 다이오드 표시 장치 등으로 구성하는 전기 광학 장치용 구동 기판의 제조 방법.

도면

도21

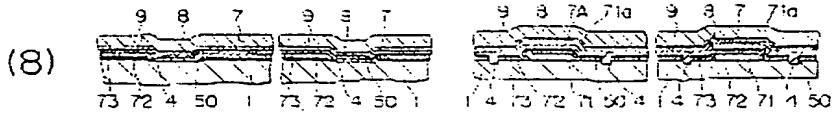


도22

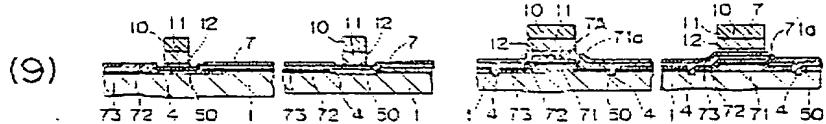


도 243

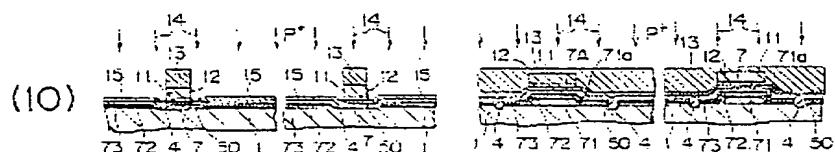
▶ 세이드 실연박(SiN/SiO₂-박)을 넣고 있는 세이드 전극 패드박(글리드민/반결 구조박)은 평



는 제이드 물연약(질화약/산화약)과의 것과 제이드 전약(Mo/Ta)의는



프로리프트 웹 콘텐츠는 ©MOSIT 2019. LDO입니다.

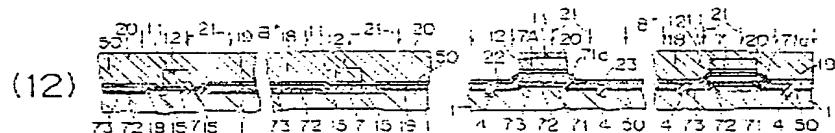


58

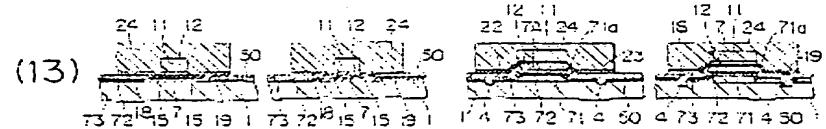
AMOSTRT의 스스/느낌/인누 흥상



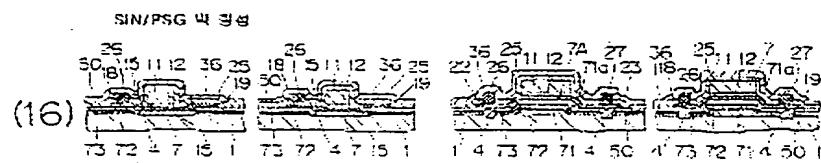
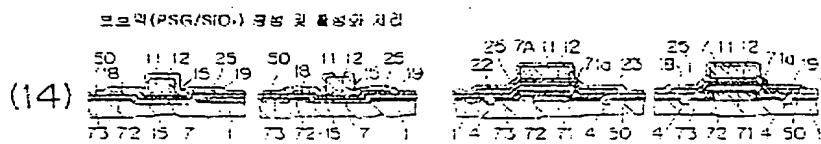
주제 구조 체계화의 eMOSTFT의 습스/드라이브 층



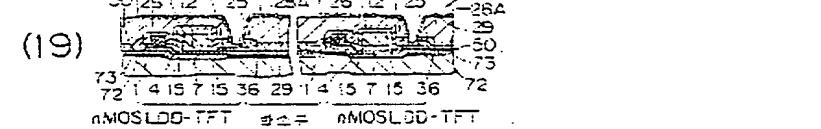
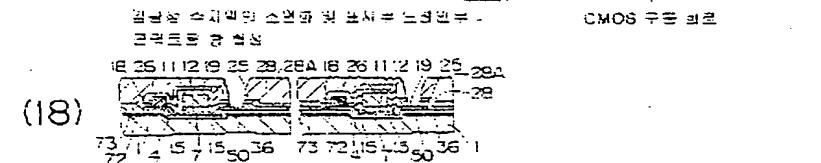
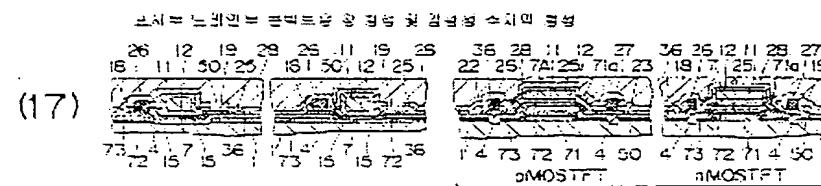
등등 소자는 일 수등 소자는인 아일랜드화



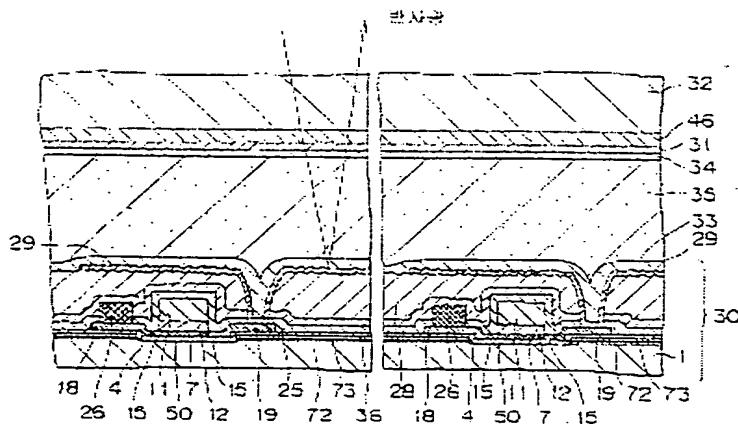
도 25



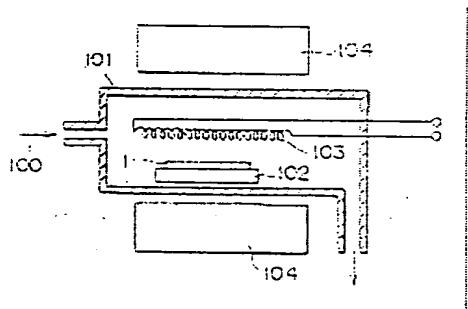
도 26



527

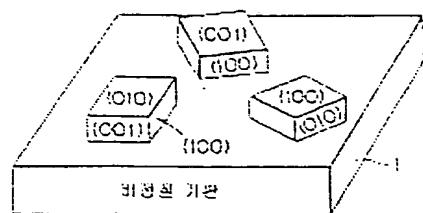


528

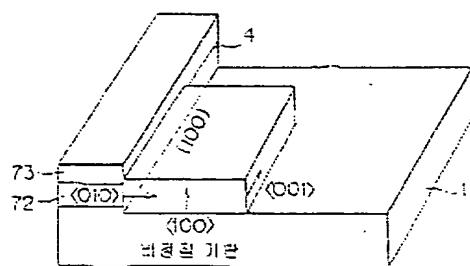


도 29

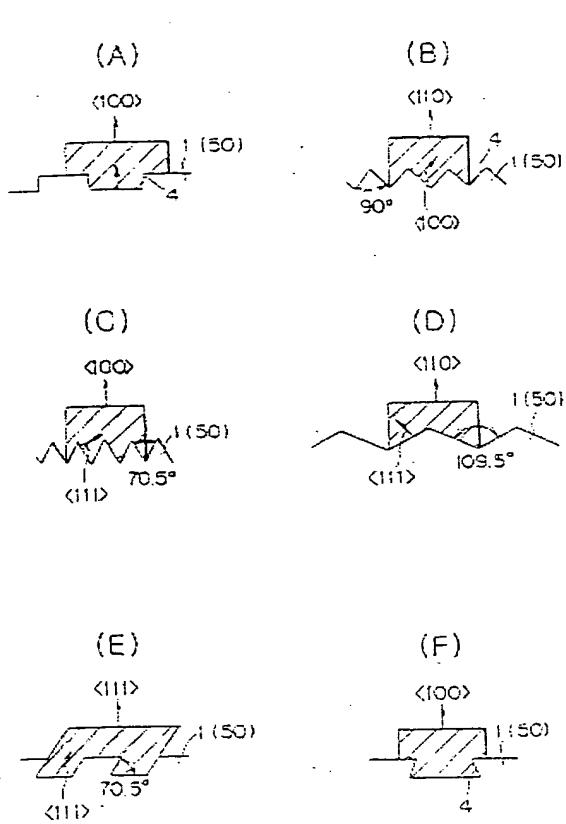
(A)



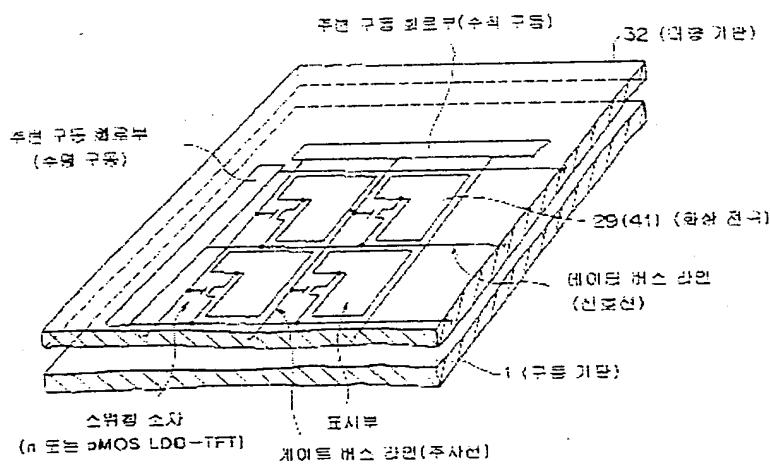
(B)



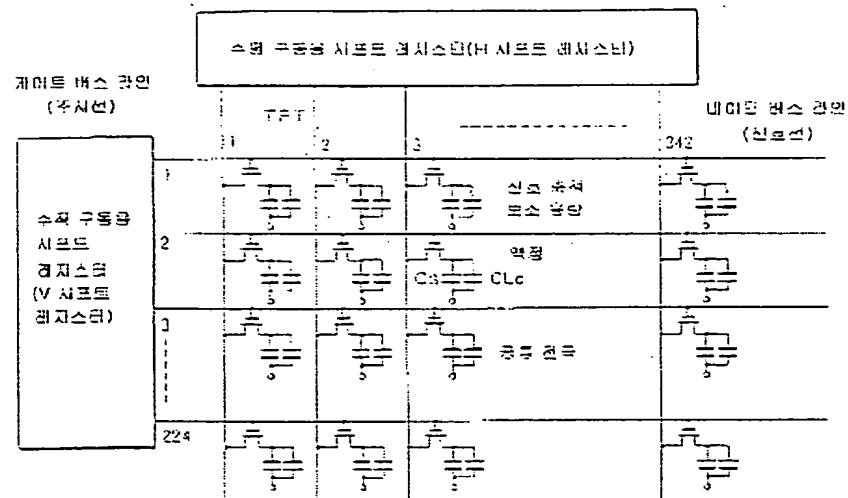
도면 10



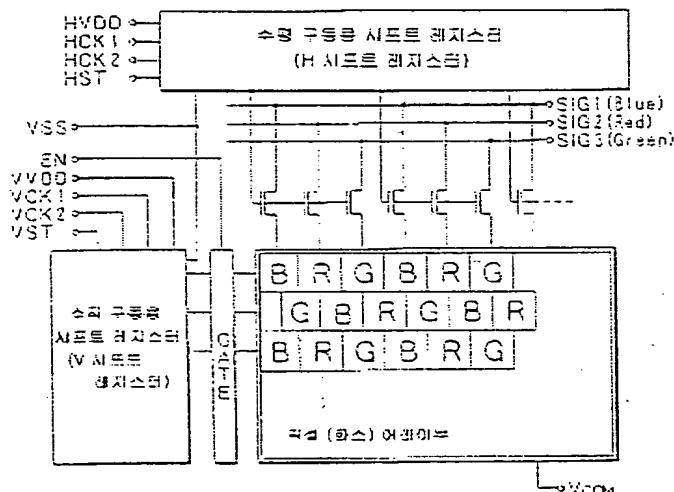
도면 11



도연 2



五五三



ਗੁਰੂ ਨਾਨਕ ਦੇਵ

Digitized by srujanika@gmail.com

777DD : 7 드란이버록 허월 인혁 군자

제작 : 코스모스 미디어 그룹
제작 : 코스모스 미디어 그룹

WCK 2 : V 시트를 설치할 때 통증의 원인은?

HST: 모 시트를 제작하는 구조의 스텐트를 신고 한다.

VST : V 자프트 랜저스로 구현한 스팟트 캐스 템플 헌자

VSS: H. V 드라인버울 GND 단자

SIG 1 : 비디오 신호 인력 문자 표준 (BLUE)
SIG2 : 비디오 신호 인력 문자 표준 (RED)

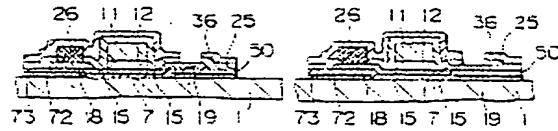
SIG2 : 비단오 신호 알림 문자 전달 (RED)

SIG3 : ବାଦ୍ୟ ନୟ ଶକ୍ତି ପାରିଶ୍ରମ (GREEN)

도면 4

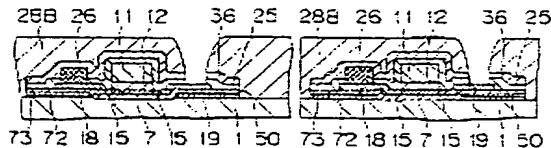
도래인부 콘택트용 챔버

(17)



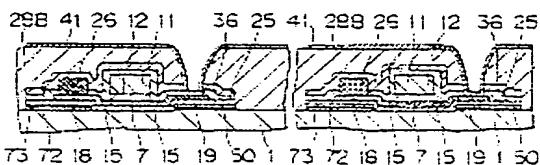
주영 편판화학 형성 및 도래인부 콘택트용 챔버

(18)



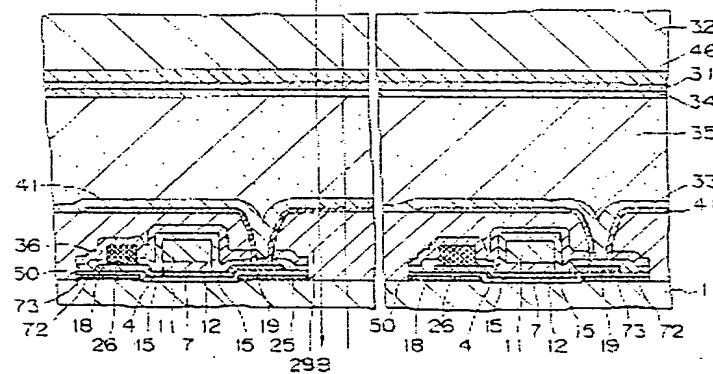
주영 전곡(예을 들면 ITO 전곡 형성)

(19)



도면 5

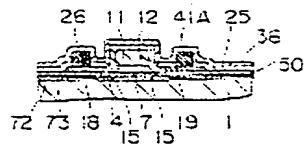
도면 5



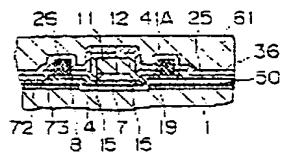
도면 18

소스/드레인부 콘택트을 확장, 전극 결합
SIN/PSG의 결합

(17)

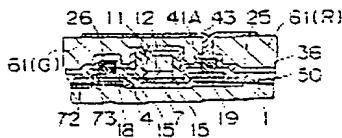


(18)

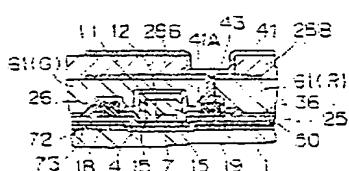


드레인부 콘택트를 확장 및 접착 마스크를 결합

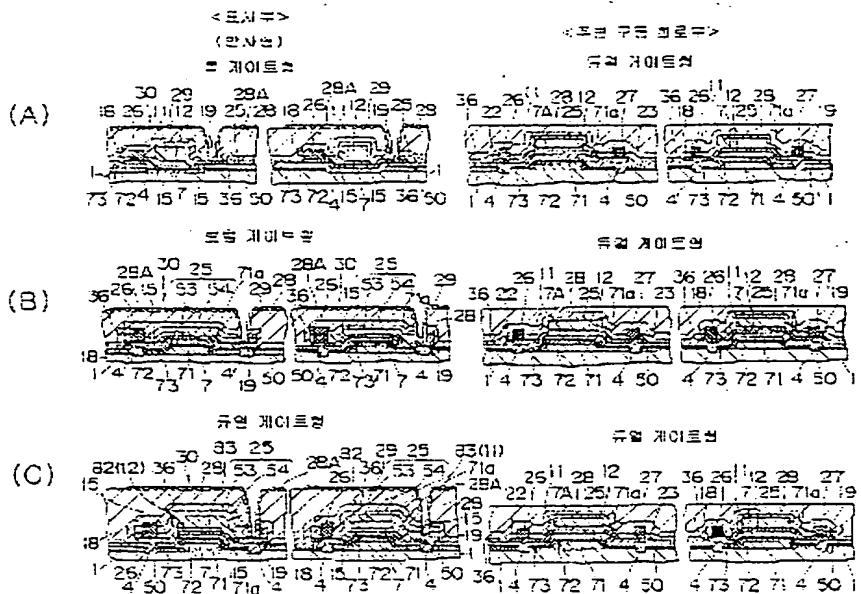
(19)



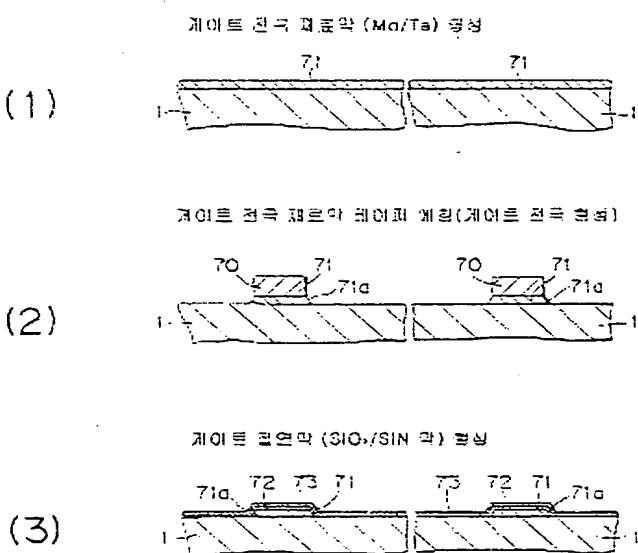
(20)



도면 8

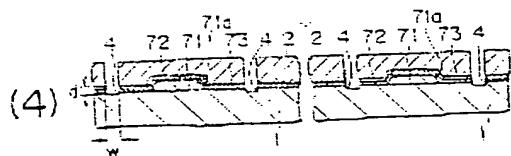


도면 9

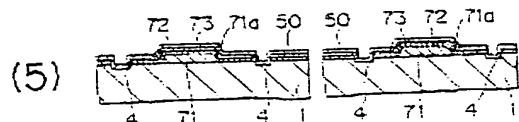


도면 9

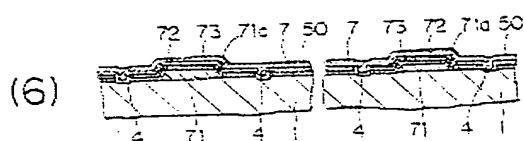
기존 실연 단자 형상



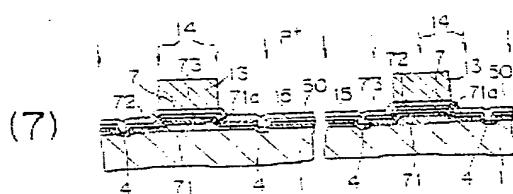
결정성 사포이터막 형상



수배 CVD 법으로 단결정 실리콘의 케터를에 미백을 통한

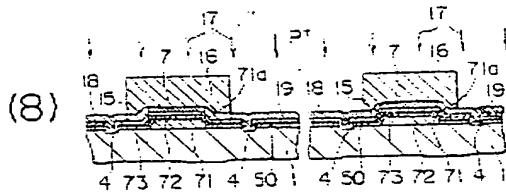


드시부의 nMOSFET의 LDD를 통한

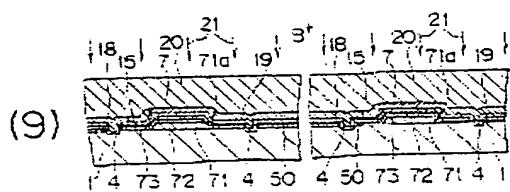


୬୩

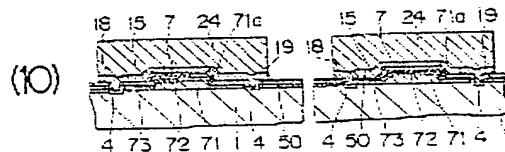
• MOSTFT의 소스/드레인부 형성



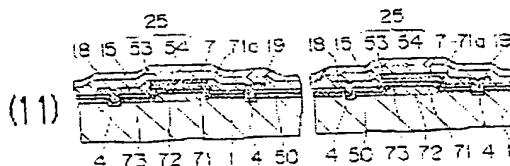
제작스토리



능을 소화할 수 있는 신자루의 아일랜드와

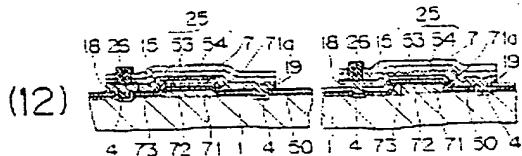


ପାତ୍ରାବ୍ (PSC/SICR) କ୍ଷତ୍ର ଓ ପ୍ରସରଣ କାର୍ଯ୍ୟ

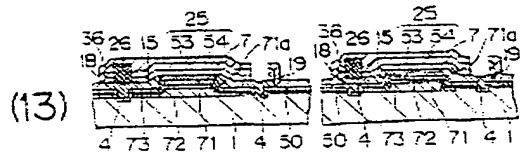


도면21

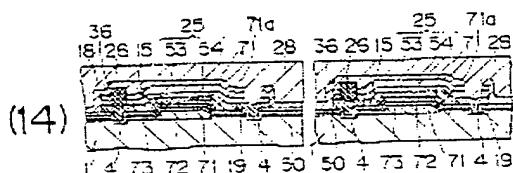
소스부 콘택트층 및 접착 및 소스 접속 형상



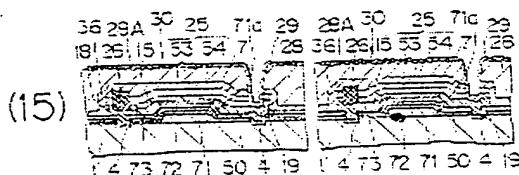
트로픽 (SiN/PSG) 형성 및 드레인 구조 형성



광증설 수지막 형성



감광설 수지막 조경화, 드레인부 솔 접착 및 반사막(예를 들면 알루미늄막) 형성

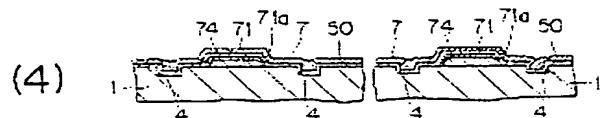


도면22

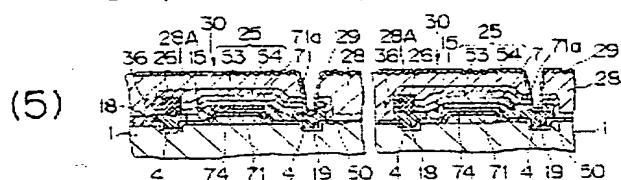
<도면부>
종속 산화물 게이트 결연의 확장



● CVD 법으로 연결된 실리콘의 층으로에 미역을 보장



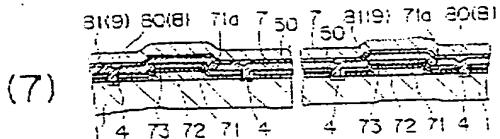
갈증석 수지의 조밀화, 도체연부 및 결연의
반사인(예금 출연 갈증미늘인) 형성



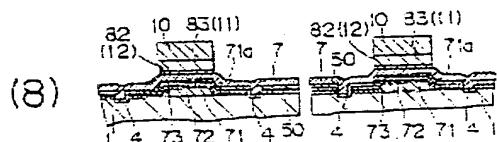
도면

<도면>

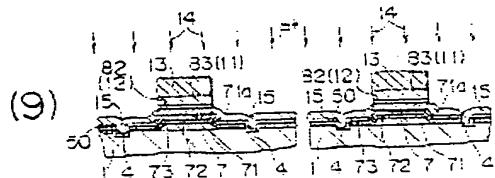
증 게이트 결연막, 증 게이트 전극 패트막 형성



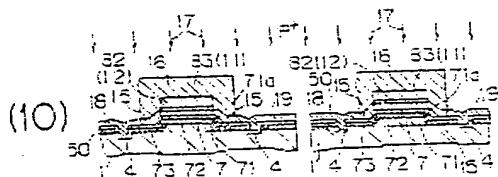
증 게이트 결연막, 증 게이트 전극 패트막 형성



표시용 nMOSFET의 LDD준 형성

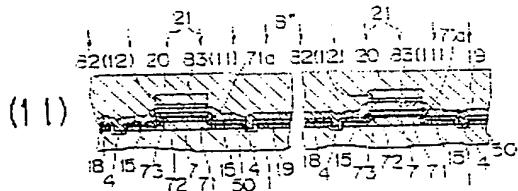


nMOSFET의 소스/드rain부 형성

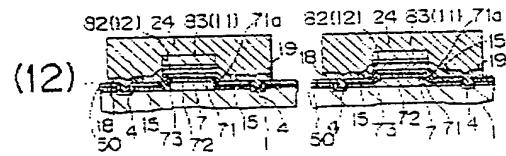
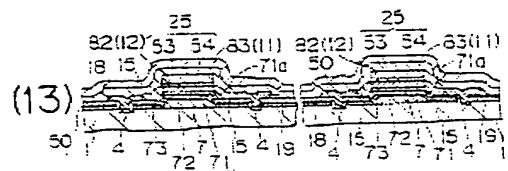


도면24

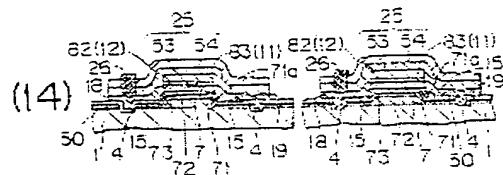
리치스트 회로



날동 소자부의 수동 소자부의 아인랜드화

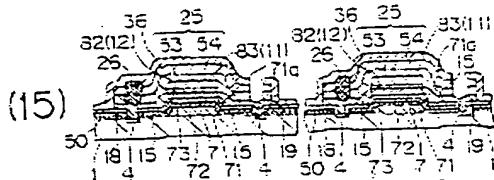
보호막(PSG/SiO₂) 회로, 출현화 처리

스스루 헌터트를 위한 회로 및 소스 헌터 회로

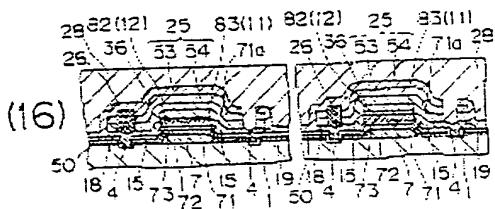


도면 25

반도체(SIN/PSG) 층과 드레인부 5 층

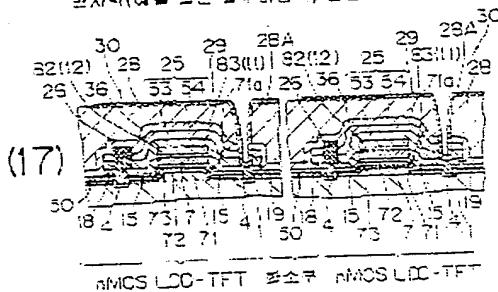


광광정 수지막 형성



광광정 수지막 조명함, 드레인부 광경성 및

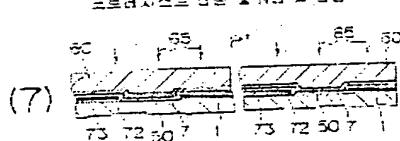
반사막(예를 드린 광로이능막) 형성



도면 26

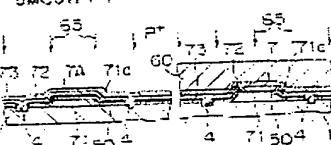
<도면 26>

드레인부 층과 N阱 및 P阱

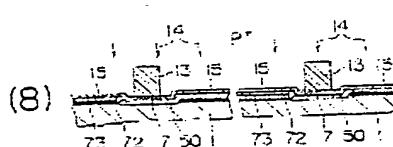


<CMOS 층과 구조>

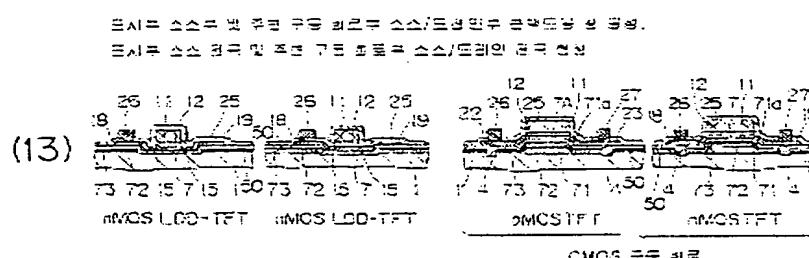
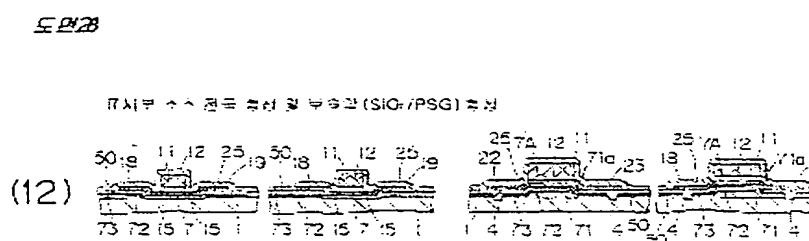
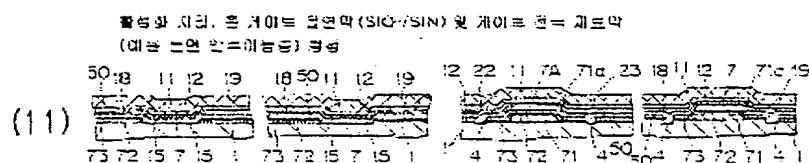
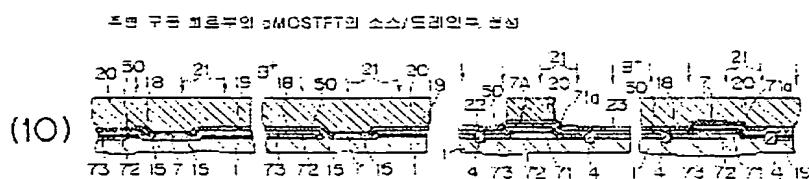
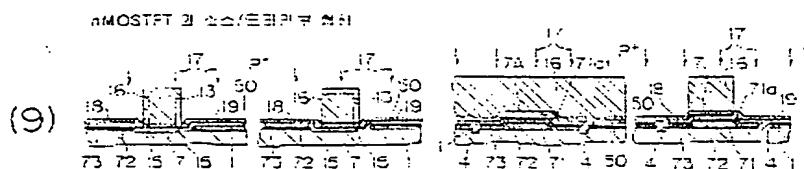
nMOSFET # nMOSFET



nMOSFET의 LDD 형성



도면 2



୬୯୩

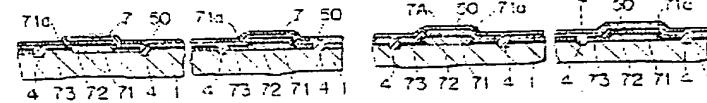
〈三八二〉

뉴욕 제이드와 nMOSLDD는
로컬 제이드 헌국 및 제이드 전연의 헌
고르(드는 시온) 바다로여 헌연의 헌

COMOS 주연 구조 설계법

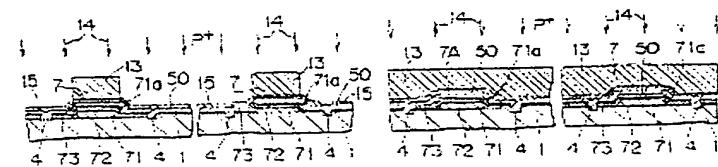
디일 게이트은
NMOSTFT는

(6)



Digitized by srujanika@gmail.com

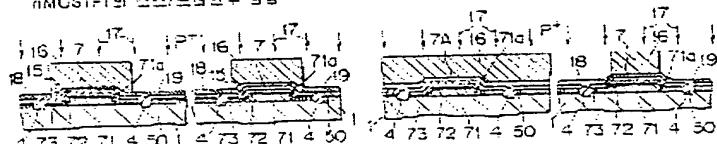
(7)



డોક્યુમેન્ટ

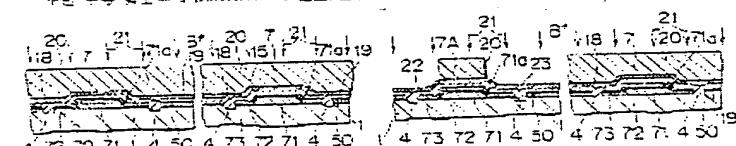
uMOS TFT의 소스/드레인부 접촉

(8)



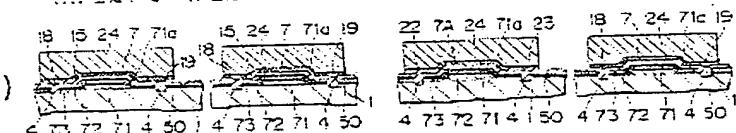
제작: 허성민 감독: 김민수

19



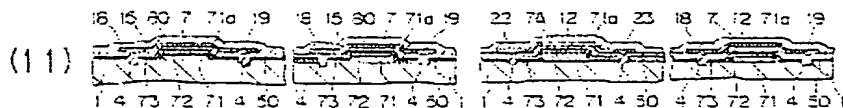
제 3 속자로 된 속한 속자로 된 아자트드코

(10)

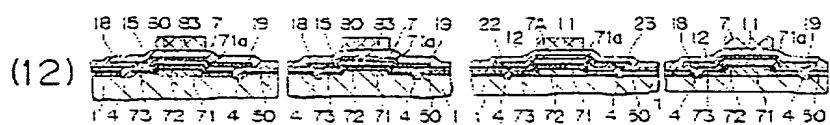


5837

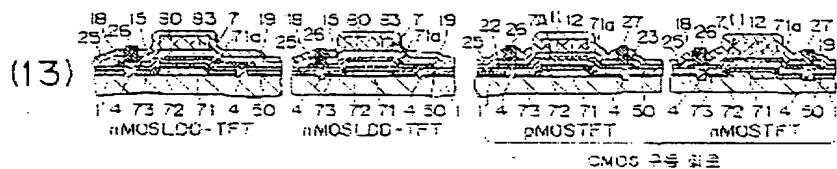
광학적 처리 및 투과미드 광학(SIN/SIO.) 설계



ଶ୍ରୀ କୃତ୍ତବ୍ୟାକୁ ନ ଅନ୍ତର୍ଭାବୀ ରାଜ୍ୟ



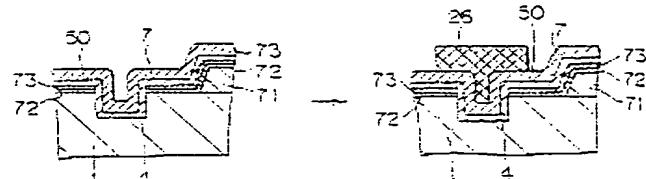
보조학(SIN/PSG) 혼선. 표시부 스스로 일주연 구동 혹은 전류구 소스/드레인부
전류는 0이상일 때, 표시부 스스로 전류가 0이상 구동되는 표시부 소스/드레인부 = 정상



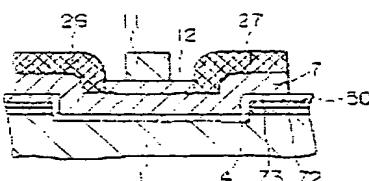
五四三

(A)

(B)



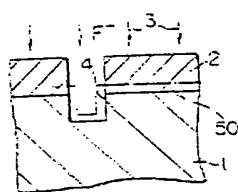
(c)



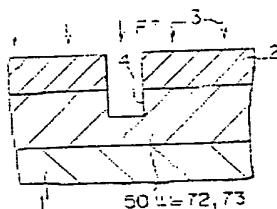
도 253

(A)

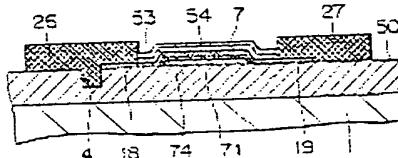
유리 기판에 단자-경선



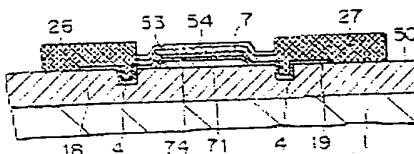
(B)

SIN 액포트 경선식 사용하여
단자-경선

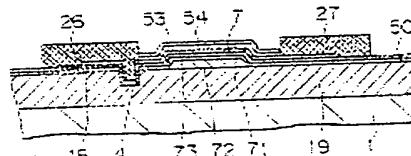
(C)



(D)

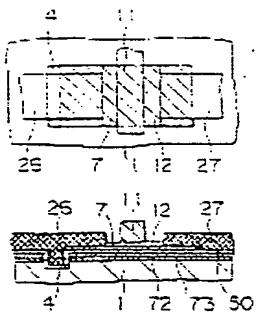


(E)

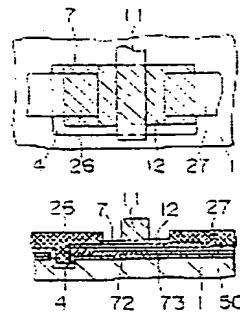


5234

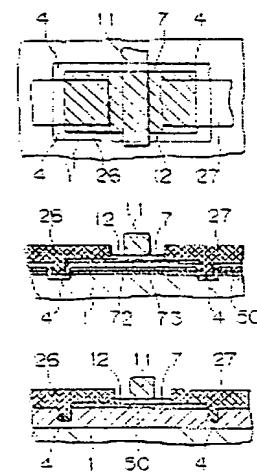
(A)



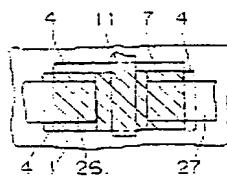
(B)



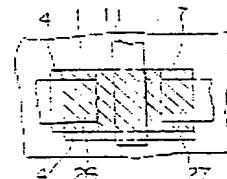
(C)



(D)

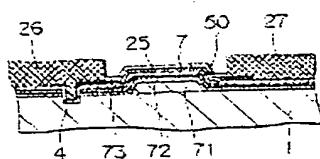


(E)

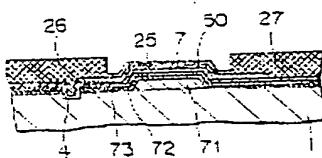


~~EB35~~

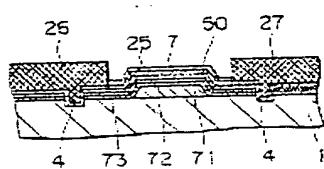
(A)



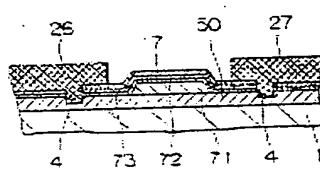
(B)



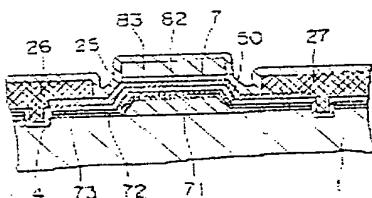
(C)



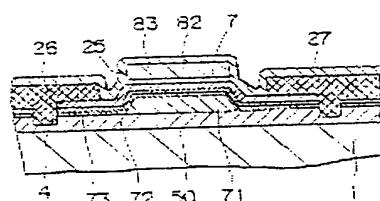
(D)

~~EB38~~

(A)

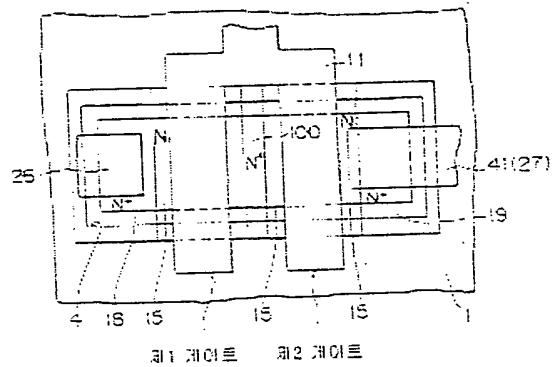
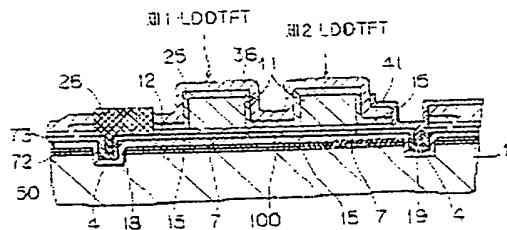


(B)

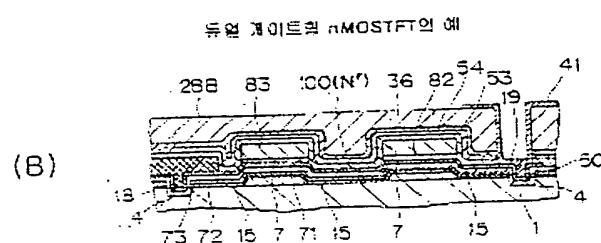
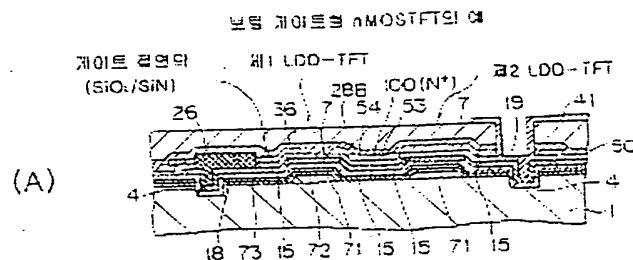


도면3

증 게이트경 nMOS TFT의 회

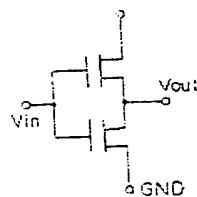


도면38

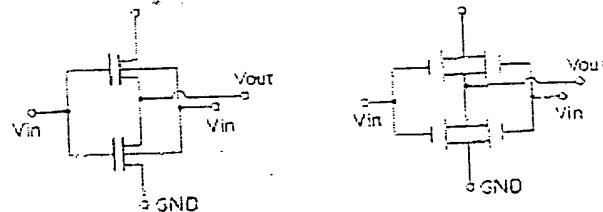


도면39

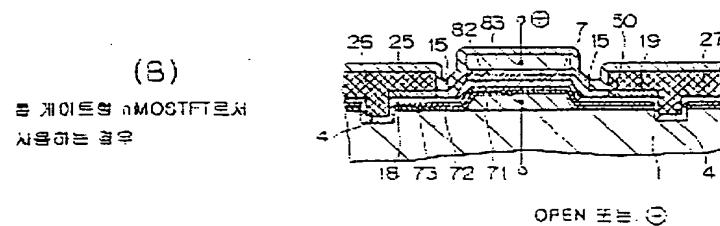
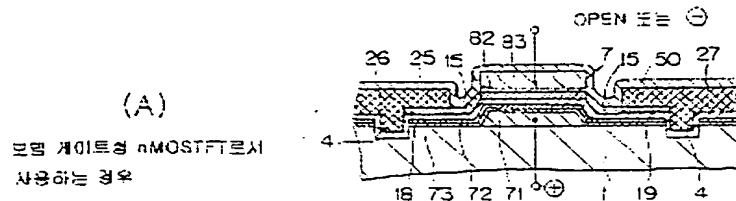
보통 게이트형 또는 동형 게이트형



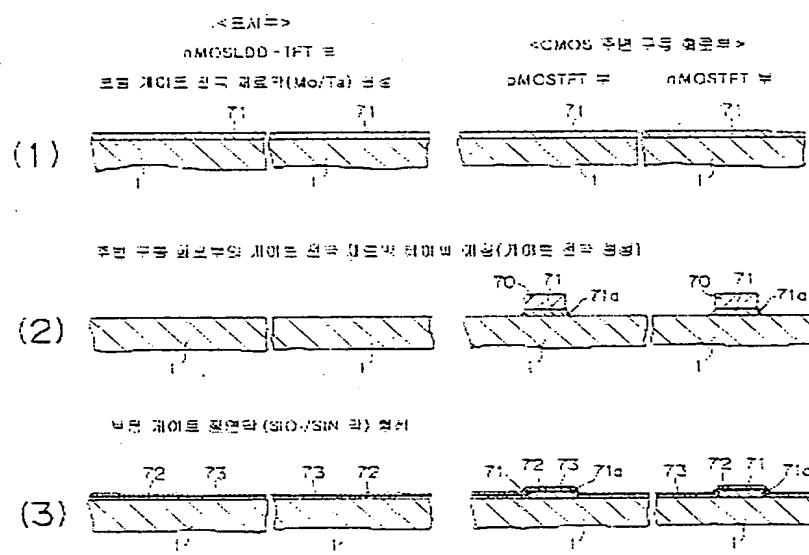
동형 게이트형



도면 40

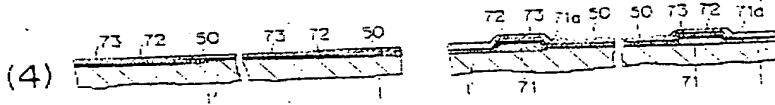


도면 41

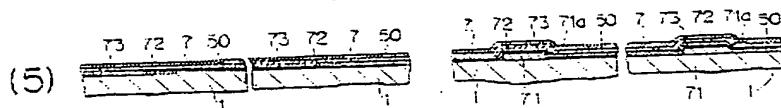


도장문

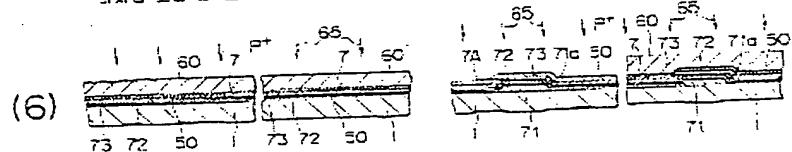
ପ୍ରକାଶକ ପରିଚୟ



한국 철도기술협회는 2009년 10월 20일부터 2010년 10월 19일까지 총 12개월간 운영되는 철도기술인증제도인 GSYI(Green System Certification for Railway Industry)를 실시합니다.

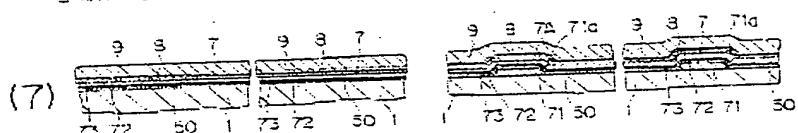


한국기독교장로회총연합회

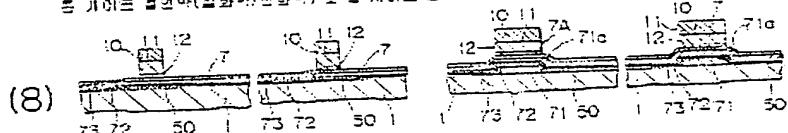


五
五

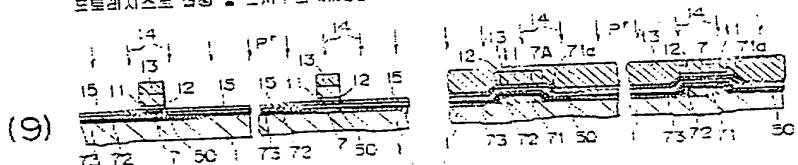
• 電子書籍版 ISBN 978-89-6209-333-3



그 외에도 소금망(진화망/사방망) 및 플레이트 철근(Mortar)은 쟁

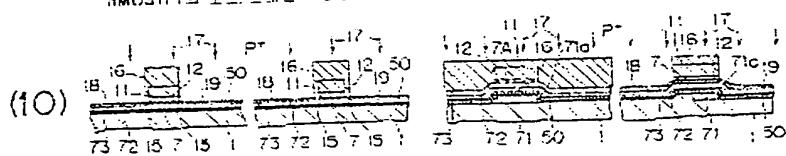


도로개진수를 향상한 드라이브의 aMOSFET의 LDO 회로

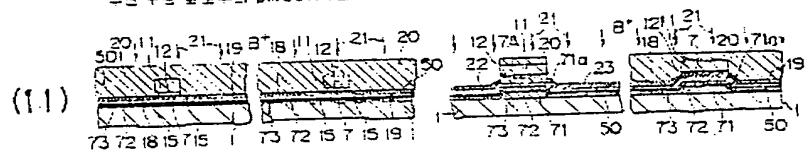


도면44

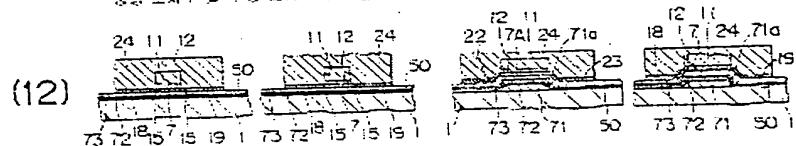
nMOSFET의 소스/드레인부 형상



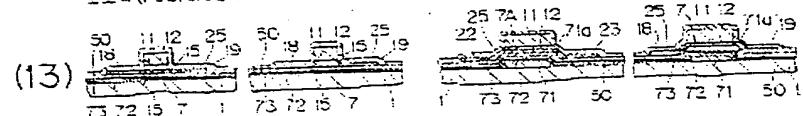
주변 구조 및 코팅부의 pMOSFET의 소스/드레인부 형상



농도 소자부 및 수동 소자부의 아밀랜드화

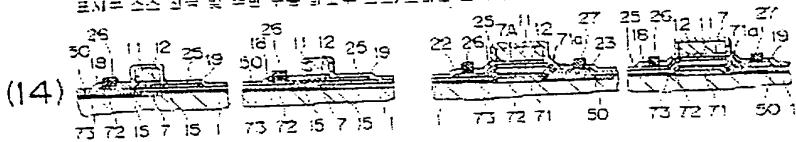


도면45

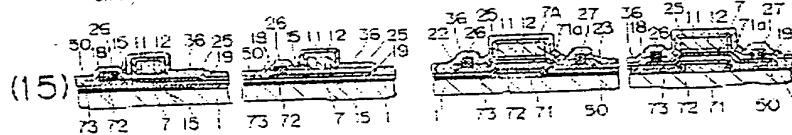
포호막(PSG/SiO₂) 양성 및 쟁여화 처리

포토부 소스부 및 경변 구조 회로부 소스/드레인부 접선부를 제거함.

포토부 소스부 및 경변 구조 회로부 소스/드레인부 접선부 제거

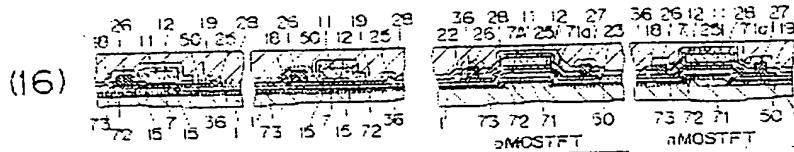
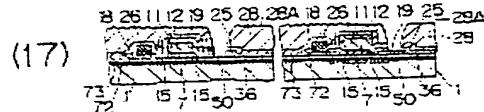


SiN/PSG 양성체

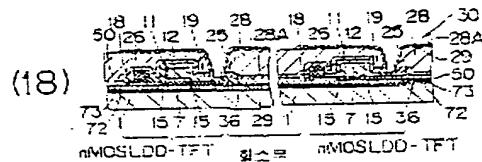


도면 8

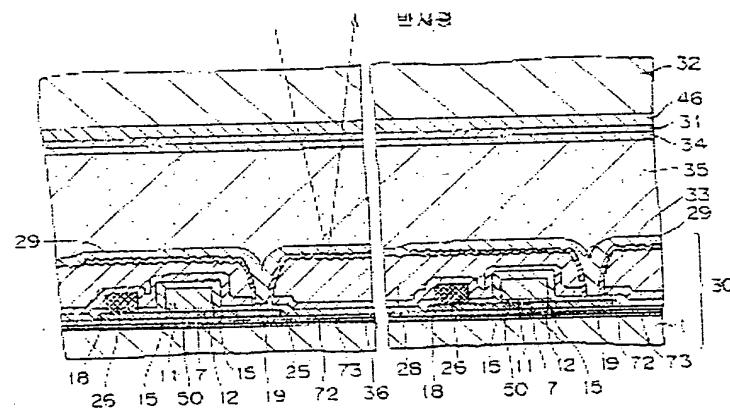
표시부 드레인부 커먼트부 챕터부 및 감광부 수직관 형성

표광부 수지막의 조별화 및 표시부 드레인부
커먼트부 형성부 CMOS 구조 회로

반사막 (액정 표면 알루미늄막) 형성



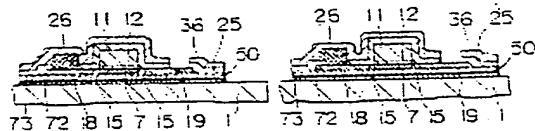
도면 9



도면48

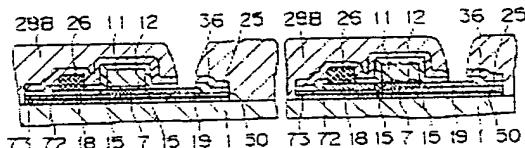
드레인부 클랙트용 흐름식

(16)



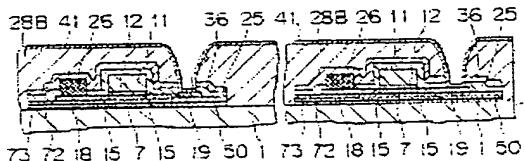
주열 흐름화학 흐름식 및 드레인부 클랙트용 흐름식

(17)



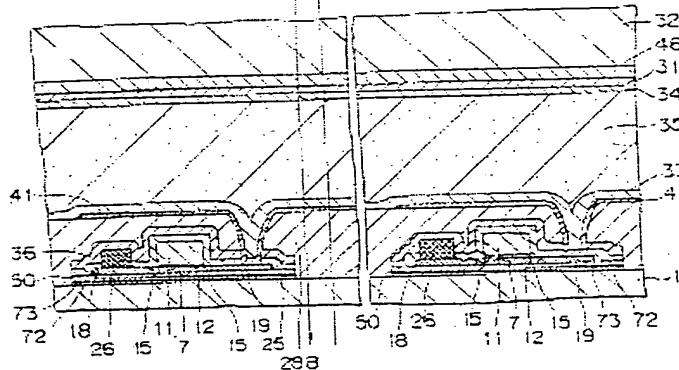
주형 전극(예: ITO 전극) 흐름식

(18)



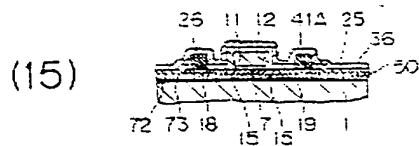
도면49

도면49

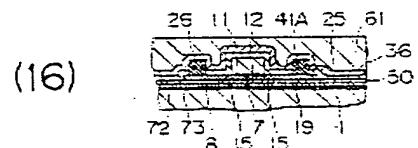


도면 9

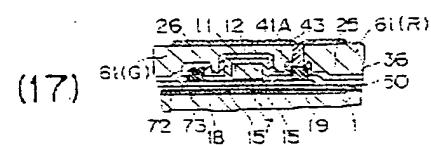
소스/드레인부 결합부 경상, 전국 경상
SiN/PSG 및 경상



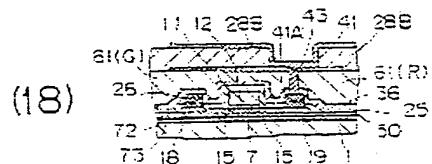
활관 결합부 경상



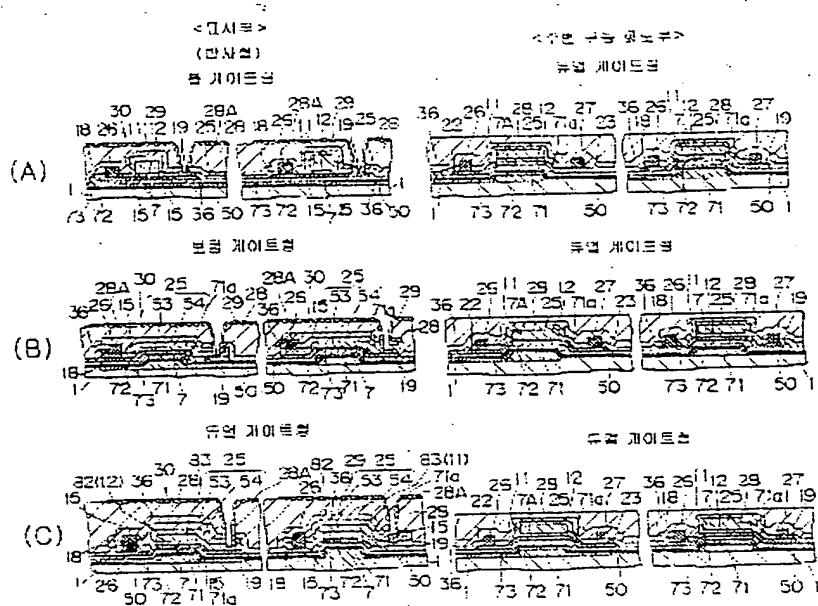
드레인부 결합부 경상 및 흐름 마스크층 경상



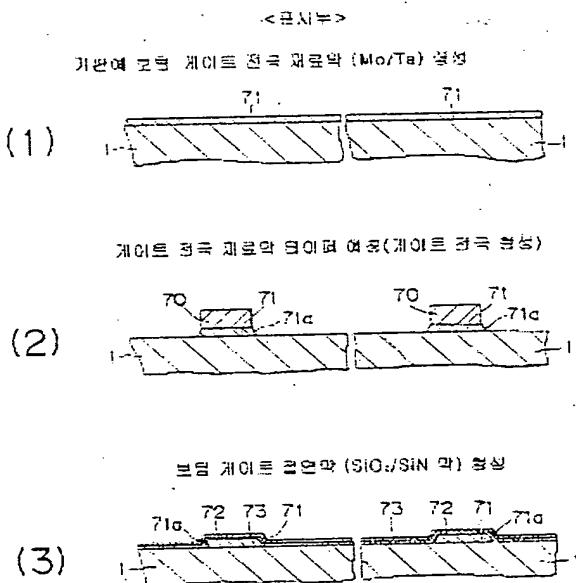
정한화학 경상, 홍수 전국 경상



도면51

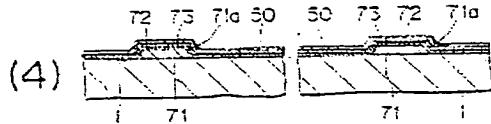


도면52

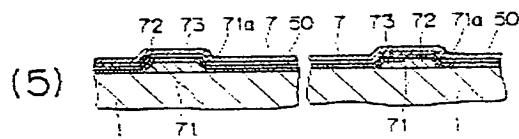


도면 53

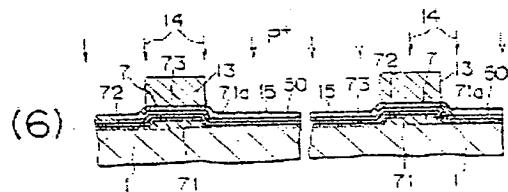
결정식 자파이어막 형성



초박 CVD 법으로 연결된 실리콘의 해마로형 막을 형성

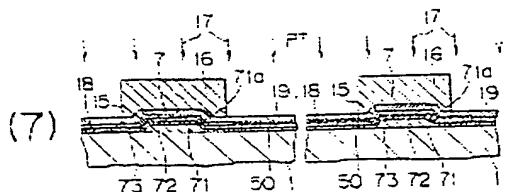


표시된 nMOSFET의 LDD층 형성

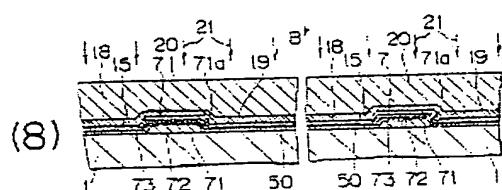


도면54

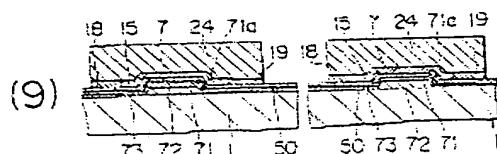
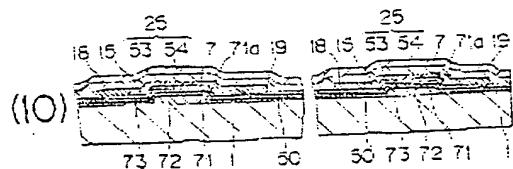
AMOSTFT의 소스/드레인부 형상



레지스트 형상

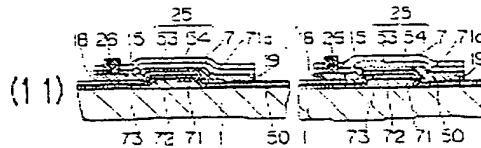


드레 소자부와 수름 소자부의 아일랜드화

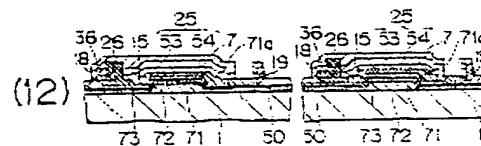
보호막 (PSG/SiO₂) 형성 및 흡상화 처리

도 25

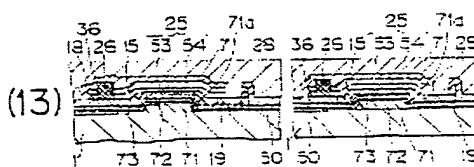
소스부 콘택트층 및 출입구 소스 전극 형상



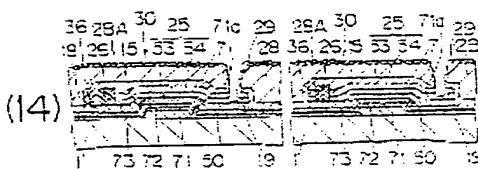
트로픽 (SiN/PSG 층) 형상 및 드레인구 출입구



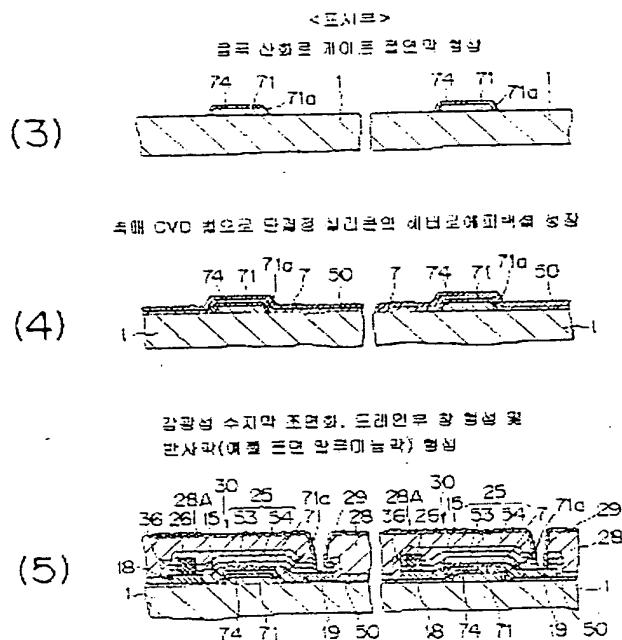
갈금성 수지막 형상



강화성 수지막 조밀화, 드레인구 출입구 및
반사판(액체 출입구 및 드레인구) 형상



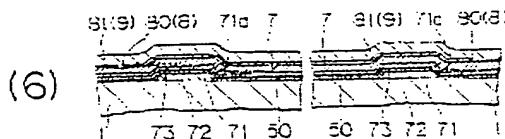
도면



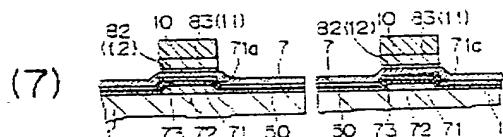
도면 5

<도면 5>

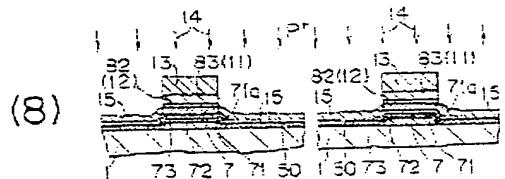
음 게이트 결연막, 음 게이트 전극 패트막 결연



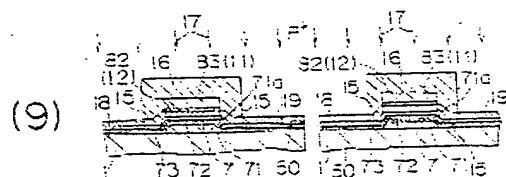
음 게이트 결연막, 음 게이트 전극 패트막 결연



드라이브 nMOSFET의 LDD막 결연

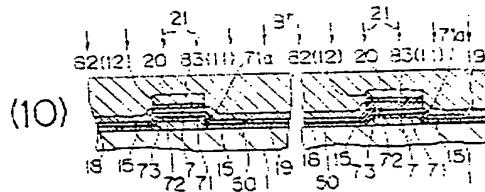


pMOSFET의 소스/드레인 구조 결연

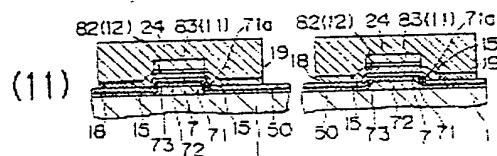
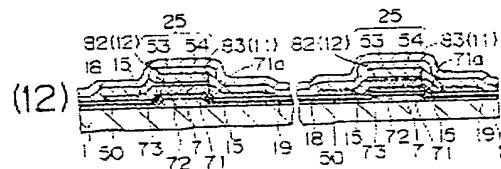


도면도

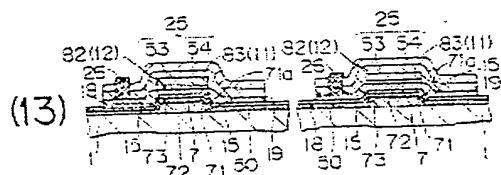
리지스트 형상



능동 소자부와 수동 소자부의 아일랜드화

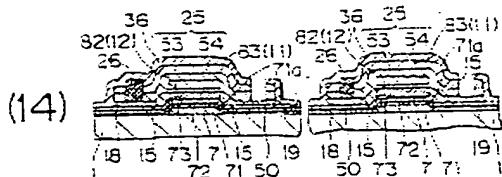
트로막(PSG/SiO₂) 형성, 광성화 처리

소스부 드레인부를 할 형상 및 소스 전극 형상

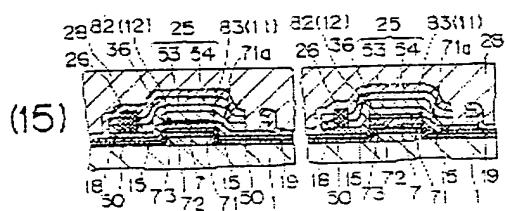
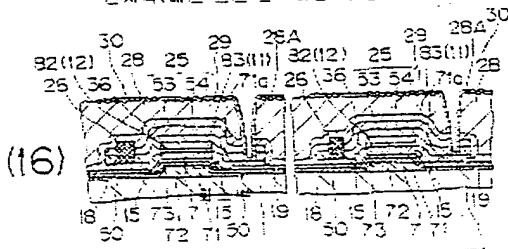


도면9

회로도면(SIN/PSO) 형상 및 드레인부 형상

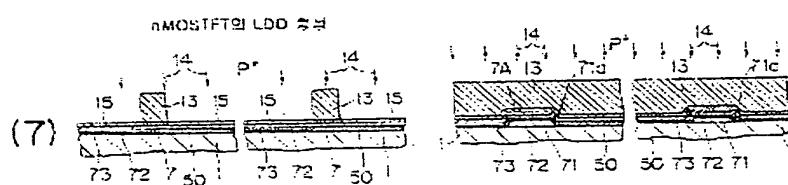
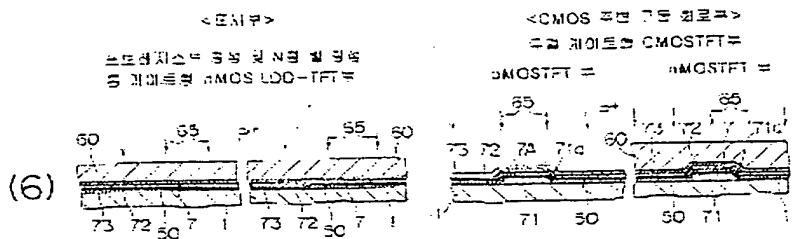


감광성 수지막 형상

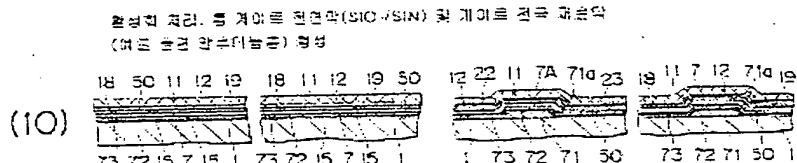
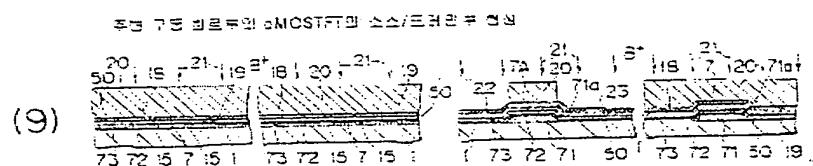
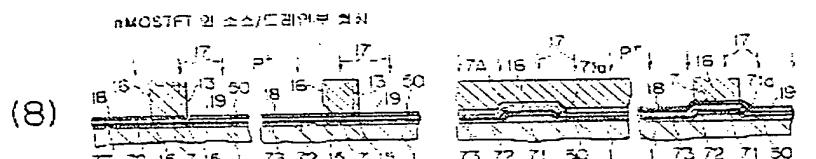
감광성 수지막 조명판, 드레인부 형상 및
반사막(예를 드면 알루미늄막) 형상

nMOS LCD-TFT 회로도면 sMOS LCD-TFT

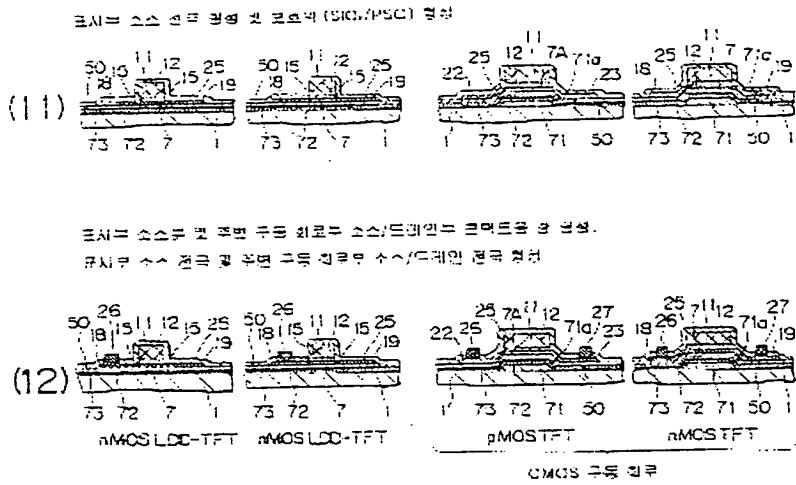
도면20



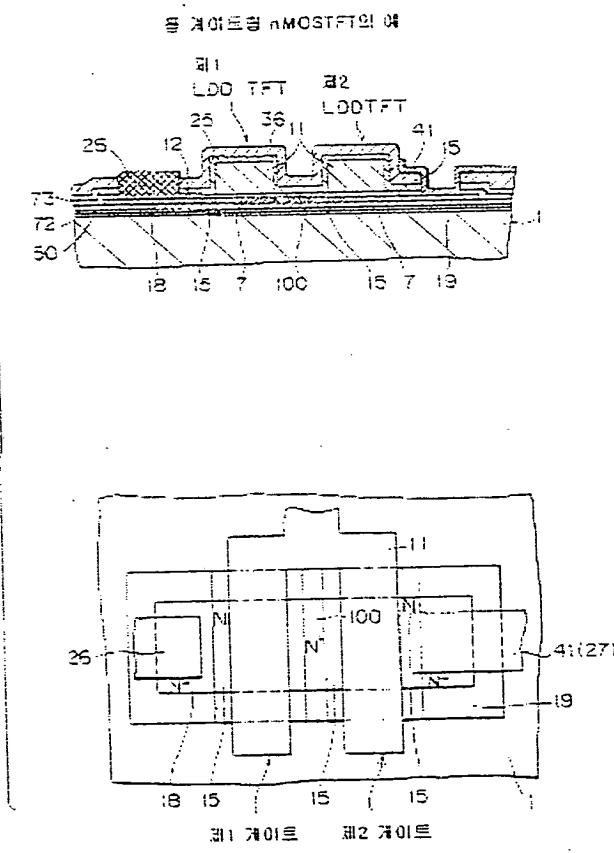
도면21



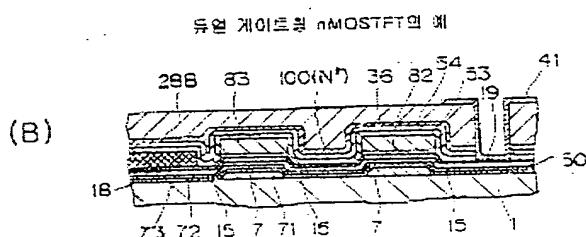
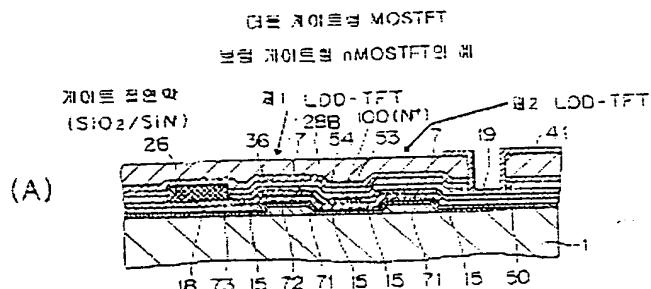
도면2



도면3



도 2104



도 2105

각 부위 MOSTFT의 조합

NO.	주변 구조 회로부	조성부
1	동연 계이트 회	동연 계이트 회
2	동연 계이트 회	동연 계이트 회
3	동연 계이트 회	동연 계이트 회
4	동 계이트 회 + 동연 계이트 회	동 계이트 회
5	동 계이트 회 + 동연 계이트 회	동연 계이트 회
6	동 계이트 회 + 동연 계이트 회	동연 계이트 회
7	보텀 계이트회 + 동연 계이트 회	동 계이트 회
8	보텀 계이트회 + 동연 계이트 회	보텀 계이트 회
9	보텀 계이트회 + 동연 계이트 회	동연 계이트 회
10	동 계이트 회 + 보텀 계이트 회 + 동연 계이트 회	동 계이트 회
11	동 계이트 회 + 보텀 계이트 회 + 동연 계이트 회	보텀 계이트 회
12	동 계이트 회 + 보텀 계이트 회 + 동연 계이트 회	동연 계이트 회

도면번호

<표시부 MOSTFTN LOO 구조 및 순>

No.	주변 구조 회로부의 TFT's	표시부의 TFT	
		제이트 구조	제이트
1	동작 게이트	C	동작 게이트
2	디렉션 게이트	C	디렉션 게이트
3	유전 게이트	C	유전 게이트
4	유전 게이트	C	유전 게이트
5	유전 게이트	C	유전 게이트
6	유전 게이트	C	유전 게이트
7	유전 게이트	C	유전 게이트
8	유전 게이트	C	유전 게이트
9	유전 게이트	C	유전 게이트
10	유전 게이트	C	유전 게이트
11	유전 게이트	C	유전 게이트
12	유전 게이트	C	유전 게이트
13	유전 게이트	C	유전 게이트
14	유전 게이트	C	유전 게이트
15	유전 게이트	C	유전 게이트
16	유전 게이트	C	유전 게이트
17	유전 게이트	C	유전 게이트
18	유전 게이트	C	유전 게이트
19	유전 게이트	C	유전 게이트
20	유전 게이트	C	유전 게이트
21	유전 게이트	C	유전 게이트
22	유전 게이트	C	유전 게이트
23	유전 게이트	C	유전 게이트
24	유전 게이트	C	유전 게이트
25	유전 게이트	C	유전 게이트
26	유전 게이트	C	유전 게이트
27	유전 게이트	C	유전 게이트

0: 동작 게이트
 1: 디렉션 게이트
 2: 유전 게이트
 3: 유전 게이트
 4: 유전 게이트
 5: 유전 게이트
 6: 유전 게이트
 7: 유전 게이트
 8: 유전 게이트
 9: 유전 게이트
 10: 유전 게이트
 11: 유전 게이트
 12: 유전 게이트
 13: 유전 게이트
 14: 유전 게이트
 15: 유전 게이트
 16: 유전 게이트
 17: 유전 게이트
 18: 유전 게이트
 19: 유전 게이트
 20: 유전 게이트
 21: 유전 게이트
 22: 유전 게이트
 23: 유전 게이트
 24: 유전 게이트
 25: 유전 게이트
 26: 유전 게이트
 27: 유전 게이트

도면

< 표시부 MOSTFT에 LCD 구조 맵 >

주변 구름 회로부의 TFT's		표시부의 TFT		
제이트 구조	제이트 구조	제이트 구조	제이트 구조	
28	제이트	c+n	제이트	o
29	유전 제이트	c+n	유전 제이트	o
30	유전 제이트	c+n	유전 제이트	o
31	유전 제이트	c+n	유전 제이트	o
32	유전 제이트	c+n	유전 제이트	o
33	유전 제이트	c+n	유전 제이트	o
34	유전 제이트	c+n+p	유전 제이트	o
35	유전 제이트	c+n+p	유전 제이트	o
36	유전 제이트	c+n+p	유전 제이트	o
37	유전 제이트	c+n	유전 제이트	o
38	유전 제이트	c+n	유전 제이트	o
39	유전 제이트	c+n	유전 제이트	o
40	유전 제이트	c+n	유전 제이트	o
41	유전 제이트	c+n	유전 제이트	o
42	유전 제이트	c+n	유전 제이트	o
43	유전 제이트	c+n+p	유전 제이트	o
44	유전 제이트	c+n+p	유전 제이트	o
45	유전 제이트	c+n+p	유전 제이트	o
46	유전 제이트	c+n	유전 제이트	o
47	유전 제이트	c+n	유전 제이트	o
48	유전 제이트	c+n	유전 제이트	o
49	유전 제이트	c+n	유전 제이트	o
50	유전 제이트	c+n	유전 제이트	o
51	유전 제이트	c+n	유전 제이트	o
52	유전 제이트	c+n+p	유전 제이트	o
53	유전 제이트	c+n+p	유전 제이트	o
54	유전 제이트	c+n+p	유전 제이트	o

도면

<표시부 TFT와 I.D.O 구조 맵>

No.	주변 구동 회로부의 TFT's		표시부의 TFT	
	제이트 주 전	제이트 대 전	제이트 구조	제이트 대 전
55	도형 제이트	o	도형 제이트	o
56	도형 제이트	o	도형 제이트	o
57	도형 제이트	o	도형 제이트	o
58	도형 제이트	o	도형 제이트	o
59	도형 제이트	o	도형 제이트	o
60	도형 제이트	o	도형 제이트	o
61	도형 제이트	o	도형 제이트	c
62	도형 제이트	o	도형 제이트	c
63	도형 제이트	o	도형 제이트	c
64	도형 제이트	o	도형 제이트	c
65	도형 제이트	o	도형 제이트	c
66	도형 제이트	o	도형 제이트	c
67	도형 제이트	o	도형 제이트	c
68	도형 제이트	o	도형 제이트	c
69	도형 제이트	o	도형 제이트	c
70	도형 제이트	o	도형 제이트	c
71	도형 제이트	o	도형 제이트	c
72	도형 제이트	o	도형 제이트	c
73	도형 제이트	o	도형 제이트	c
74	도형 제이트	o	도형 제이트	c
75	도형 제이트	o	도형 제이트	c
76	도형 제이트	o	도형 제이트	c
77	도형 제이트	o	도형 제이트	c
78	도형 제이트	o	도형 제이트	c
79	도형 제이트	o	도형 제이트	c
80	도형 제이트	o	도형 제이트	c
81	도형 제이트	o	도형 제이트	c

도 2489

<드시는 MOSTFT에 LDO 그즈 있음>

주변 구조물로의 TFT'S			표시부의 TFT		
No.	제이트 구조	제작 공정	제이트 구조	제작 공정	
82	독일 제이트	c+e	독 제이트	c	
83	독일 제이트	c+e	독 제이트	c	
84	독일 제이트	c+e	독 제이트	c	
85	독일 제이트	c+e	독 제이트	c	
86	독일 제이트	c+e	독 제이트	c	
87	독일 제이트	c+e	독 제이트	c	
88	독일 제이트	c+e+o	독 제이트	c	
89	독일 제이트	c+e+o	독 제이트	c	
90	독일 제이트	c+e+o	독 제이트	c	
91	독일 제이트	c+e	미국 제이트	c	
92	독일 제이트	c+e	미국 제이트	c	
93	독일 제이트	c+e	미국 제이트	c	
94	독일 제이트	c+e	미국 제이트	c	
95	독일 제이트	c+e	미국 제이트	c	
96	독일 제이트	c+e	미국 제이트	c	
97	독일 제이트	c+e+o	미국 제이트	c	
98	독일 제이트	c+e+o	미국 제이트	c	
99	독일 제이트	c+e+o	미국 제이트	c	
100	독일 제이트	c+e	미국 제이트	c	
101	독일 제이트	c+e	미국 제이트	c	
102	독일 제이트	c+e	미국 제이트	c	
103	독일 제이트	c+e	미국 제이트	c	
104	독일 제이트	c+e	독일 제이트	c	
105	독일 제이트	c+e	독일 제이트	c	
106	독일 제이트	c+e+o	독일 제이트	c	
107	독일 제이트	c+e+o	독일 제이트	c	
108	독일 제이트	c+e+o	독일 제이트	c	

도면도

<주변 구름 회로부의 TFT'S 및 주변 TFT의 구조 및 구조>

주변 구름 회로부의 TFT'S		주변 TFT		
No.	구조	구조	구조	
109	독역 게이트	o	독역 게이트	o
110	독역 게이트	o	독역 게이트	o
111	독역 게이트	o	독역 게이트	o
112	독역 게이트	o	독역 게이트	o
113	독역 게이트	o	독역 게이트	o
114	독역 게이트	o	독역 게이트	o
115	독역 게이트	o	독역 게이트	o
116	독역 게이트	o	독역 게이트	o
117	독역 게이트	o	독역 게이트	o
118	독역 게이트	o	독역 게이트	o
119	독역 게이트	o	독역 게이트	o
120	독역 게이트	o	독역 게이트	o
121	독역 게이트	o	독역 게이트	o
122	독역 게이트	o	독역 게이트	o
123	독역 게이트	o	독역 게이트	o
124	독역 게이트	o	독역 게이트	o
125	독역 게이트	o	독역 게이트	o
126	독역 게이트	o	독역 게이트	o
127	독역 게이트	o	독역 게이트	o
128	독역 게이트	o	독역 게이트	o
129	독역 게이트	o	독역 게이트	o
130	독역 게이트	o	독역 게이트	o
131	독역 게이트	o	독역 게이트	o
132	독역 게이트	o	독역 게이트	o
133	독역 게이트	o	독역 게이트	o
134	독역 게이트	o	독역 게이트	o
135	독역 게이트	o	독역 게이트	o

도면71

<주변 구동 회로로 MOSFET의 일부로 LCD 구조 것들>

No.	주변 구동 회로의 TFT's	표시부의 TFT		
		제작 일자 (MM)	제작 일자 (MM)	제작 일자 (MM)
136	도형 게이트	0-6	도형 게이트	0
137	도형 게이트	0-6	도형 게이트	0
138	도형 게이트	0-6	도형 게이트	0
139	도형 게이트	0-6	도형 게이트	0
140	도형 게이트	0-6	도형 게이트	0
141	도형 게이트	0-6	도형 게이트	0
142	도형 게이트	0-6	도형 게이트	0
143	도형 게이트	0-6	도형 게이트	0
144	도형 게이트	0-6	도형 게이트	0
145	도형 게이트	0-6	도형 게이트	0
146	도형 게이트	0-6	도형 게이트	0
147	도형 게이트	0-6	도형 게이트	0
148	도형 게이트	0-6	도형 게이트	0
149	도형 게이트	0-6	도형 게이트	0
150	도형 게이트	0-6	도형 게이트	0
151	도형 게이트	0-6	도형 게이트	0
152	도형 게이트	0-6	도형 게이트	0
153	도형 게이트	0-6	도형 게이트	0
154	도형 게이트	0-6	도형 게이트	0
155	도형 게이트	0-6	도형 게이트	0
156	도형 게이트	0-6	도형 게이트	0
157	도형 게이트	0-6	도형 게이트	0
158	도형 게이트	0-6	도형 게이트	0
159	도형 게이트	0-6	도형 게이트	0
160	도형 게이트	0-6	도형 게이트	0
161	도형 게이트	0-6	도형 게이트	0
162	도형 게이트	0-6	도형 게이트	0

도면72

<주변 구조 회로부 MOSTFT와 표시부 MOSTFT 양쪽에 LCD 구조 양면>

NO.	주변 구조 회로부의 TFT'S	표시부의 TFT	
		제작 회사	제작 회사
163	유전 게이트	o	유전 게이트
164	유전 게이트	o	유전 게이트
165	유전 게이트	o	유전 게이트
166	유전 게이트	o	유전 게이트
167	유전 게이트	o	유전 게이트
168	유전 게이트	o	유전 게이트
169	유전 게이트	o	유전 게이트
170	유전 게이트	o	유전 게이트
171	유전 게이트	o	유전 게이트
172	유전 게이트	o	유전 게이트
173	유전 게이트	o	유전 게이트
174	유전 게이트	o	유전 게이트
175	유전 게이트	o	유전 게이트
176	유전 게이트	o	유전 게이트
177	유전 게이트	o	유전 게이트
178	유전 게이트	o	유전 게이트
179	유전 게이트	o	유전 게이트
180	유전 게이트	o	유전 게이트
181	유전 게이트	o	유전 게이트
182	유전 게이트	o	유전 게이트
183	유전 게이트	o	유전 게이트
184	유전 게이트	o	유전 게이트
185	유전 게이트	o	유전 게이트
186	유전 게이트	o	유전 게이트
187	유전 게이트	o	유전 게이트
188	유전 게이트	o	유전 게이트
189	유전 게이트	o	유전 게이트

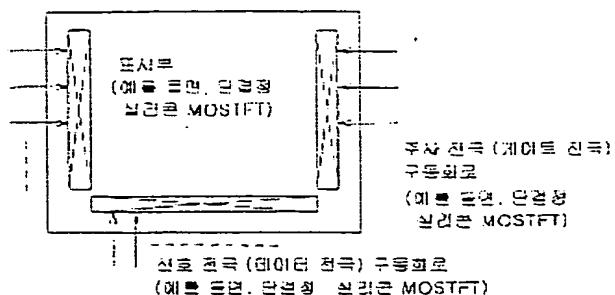
도면73

<도면 73 화면부 MOSTFT와 표시부 MOSTFT 와 함께 LCD 구조 및 등>

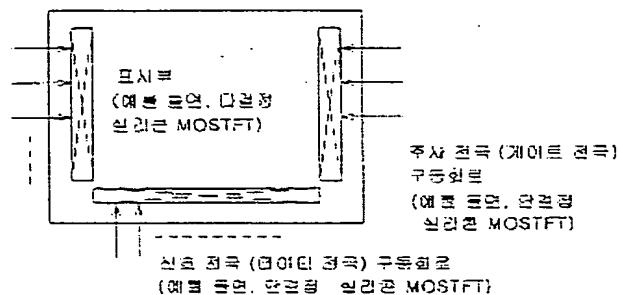
No.	주변 구동 회로구인 TFT's	표시부의 TFT	
		제이트 구조	제작일
190	동작 게이트	c+d	동작 게이트
191	도입 게이트	c+d	도입 게이트
192	도입 게이트	c+d	도입 게이트
193	도입 게이트	c+d	도입 게이트
194	도입 게이트	c+d	도입 게이트
195	도입 게이트	c+d	도입 게이트
196	도입 게이트	c+d+d	도입 게이트
197	도입 게이트	c+d+d	도입 게이트
198	도입 게이트	c+d+d	도입 게이트
199	도입 게이트	c+d	도입 게이트
200	도입 게이트	c+d	도입 게이트
201	도입 게이트	c+d	도입 게이트
202	도입 게이트	c+d	도입 게이트
203	도입 게이트	c+d	도입 게이트
204	도입 게이트	c+d	도입 게이트
205	도입 게이트	c+d+d	도입 게이트
206	도입 게이트	c+d+d	도입 게이트
207	도입 게이트	c+d+d	도입 게이트
208	도입 게이트	c+d	도입 게이트
209	도입 게이트	c+d	도입 게이트
210	도입 게이트	c+d	도입 게이트
211	도입 게이트	c+d	도입 게이트
212	도입 게이트	c+d	도입 게이트
213	도입 게이트	c+d	도입 게이트
214	도입 게이트	c+d+d	도입 게이트
215	도입 게이트	c+d+d	도입 게이트
216	도입 게이트	c+d+d	도입 게이트

도면74

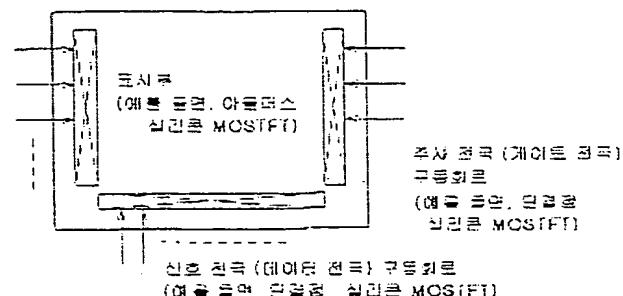
(A)



(B)



(C)

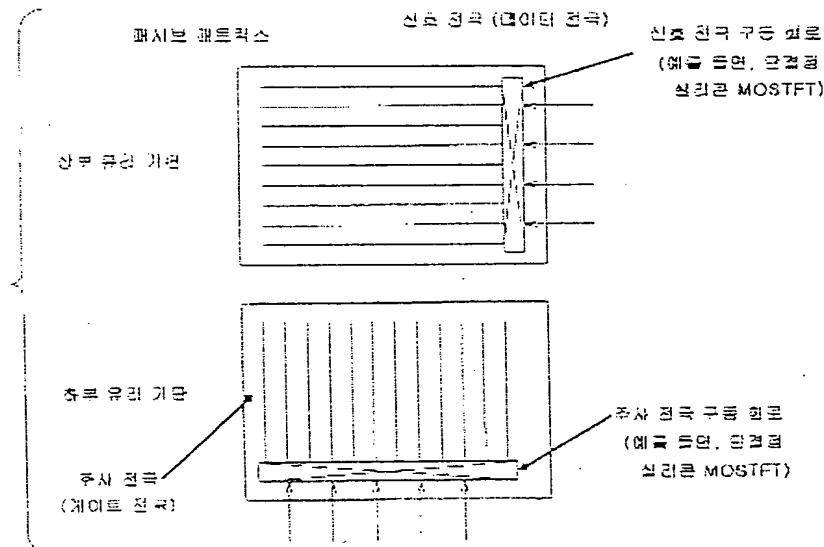


도면 25

LCD 패널 구조

MOSTFT의 종류	MOSTFT 단입	
	주변 구동 회로	표시부
온전류 신디크	cMOS 또는 n 또는 pMOS 또는 cMOS + pMOS + nMOS	n 또는 pMOS 또는 cMOS
디지털 신디크	cMOS 또는 n 또는 pMOS 또는 cMOS + pMOS + nMOS	n 또는 pMOS 또는 cMOS
아날로그 신디크	—	n 또는 pMOS 또는 cMOS

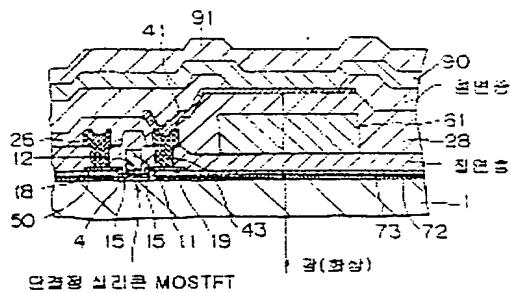
도면 26



도면77

(A)

EL (액티브 매트릭스 구조의 예)



(B)

FED (파시브 매트릭스 구조의 예)

